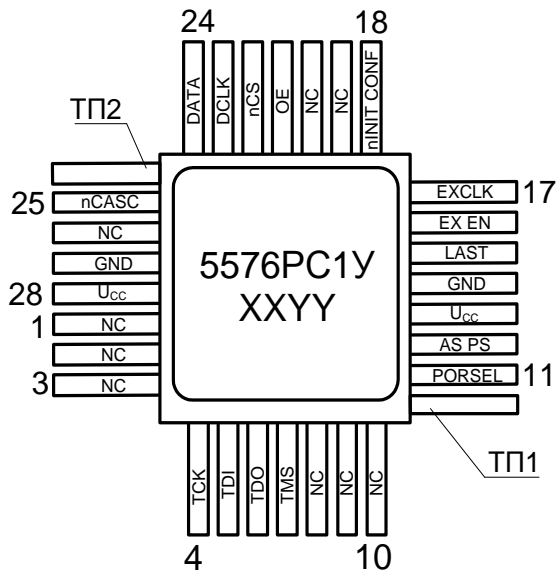




Загрузочное ППЗУ с электрическим перепрограммированием, последовательным интерфейсом для конфигурирования ПЛИС

5576PC1Y, K5576PC1Y, 5576PC1H4, K5576PC1H4

Основные характеристики микросхемы:



XX – год выпуска

YY – неделя выпуска

- Емкость накопителя Flash типа 4 Мбит
- Интерфейс JTAG - IEEE Std. 1149.1
- Период следования импульсов тактовых сигналов DCLK ($T_{C(DCLK)}$) не более 30нс
- Период следования импульсов тактовых сигналов на входе TCK ($T_{C(TCK)}$) не менее 100 нс
- Ток потребления в режиме хранения, I_{CCS} , не более 1мА
- Динамический ток потребления в режиме конфигурирования, I_{OCC} , не более 50 мА

Обозначение	Диапазон
5576PC1Y	минус 60 – 125 °С
K5576PC1Y	минус 60 – 125 °С
K5576PC1YK	0 – 70 °С

Тип корпуса:

- 28-и выводной металлокерамический корпус H09.28-1В;
- микросхемы 5576PC1H4 и K5576PC1H4 поставляются в бескорпусном исполнении.

Общее описание и области применения микросхемы

Микросхемы предназначены для использования в аппаратуре специального назначения, в качестве загрузочного ППЗУ с возможностью электрического программирования и стирания, с последовательным интерфейсом для конфигурирования ПЛИС.

Технологические перемычки ТП1 и ТП2, расположенные между выводами 10-11 и 24-25, необходимо соединить с шиной «Общий».

Основные характеристики конфигурационной схемы

- Конфигурационная схема для загрузки ПЛИС 5576XC3Т и 5576XC4Т.
- Простой в применении 4-х проводной конфигурационный интерфейс ПЛИС.
- Поддержка режима конфигурирования passive serial (PS) и active serial (AS).
- Низкое потребление в процессе конфигурирования и близкий к нулю ток в режиме хранения.
- Полный диапазон напряжения питания: от 3,0 В до 3,6 В.

- Толерантность выводов к напряжению + 5В.
- Поддержка программного обеспечения Quartus II фирмы «Altera».
- Конфигурационное устройство включает перепрограммируемую память флеш типа:
 - гарантированное количество циклов стирания 100.000;
 - время сохранения данных 100 лет при температуре плюс 85°С;
 - внутрисхемное программирование (ISP) через IEEE Std. 1149.1 JTAG интерфейс;
 - ISP схема совместима с IEEE Std. 1532.
- Поддерживает программирование объектных файлов (.pof) из Quartus II посредством USB Blaster, MasterBlaster™, ByteBlaster™ II, EthernetBlaster или ByteBlasterMV™ загрузочного кабеля.
- Вывод nINIT_CONF позволяет с помощью JTAG инструкции «INIT_CONF» инициировать процесс конфигурирования ПЛИС.
- Встроенный регулятор напряжения +2.5 В (до 20 мА) для питания ядра.
- Встроенная схема формирования высоковольтного напряжения программирования и стирания.
- Встроенная схема сброса при включении питания с изменяемым временем задержки (2 мс или 100 мс) посредством вывода PORSEL.
- Возможность выбора источника конфигурационного синхросигнала:
 - частота с вывода EXCLK до 33 МГц в режиме PS;
 - частота с внутреннего генератора 5 МГц в режиме PS;
 - частота с вывода DCLK ПЛИС в режиме AS.
- Технологический процесс 0.25 мкм.

Описание выводов

Таблица 1

№ вывода корпуса	№ КП кристалла	Обозначение вывода	Тип вывода	Функциональное назначение выводов
4	5	TCK	вход	Вход синхросигнала JTAG. Подключается к выводу «Общий», если вывод не используется
5	6	TDI	вход	Вход данных JTAG. Подключается к питанию, если вывод не используется
6	7	TDO	выход	Выход данных JTAG. Не подключается, если JTAG не используется
7	8	TMS	вход	Выбор режима JTAG. Подключается к питанию, если вывод не используется
11	15	PORSEL	вход	Выбирает время задержки POR при включении питания. Если PORSEL=0, то время POR от 200 до 332 мс, если PORSEL=1, то время POR от 2 до 5 мс
12	16	AS_PS	вход	Выбирает режим конфигурирования ПЛИС. AS_PS=1 – active serial. AS_PS=0 – passive serial. В режиме каскадирования все устройства в цепочке должны иметь AS_PS=1 или первое устройство в цепочке AS_PS=0
15	20	LAST	вход	Определяет последнюю конфигурационную схему в цепочке режима каскадирования, если LAST=1. Все остальные устройства в цепочке должны иметь LAST=0. При конфигурировании одним устройством LAST=1
16	21	EX_EN	вход	Выбирает источник синхросигнала для выхода DCLK. EX_EN=1 - внешний синхросигнал с EXCLK. EX_EN=0 - синхросигнал с внутреннего генератора
17	22	EXCLK	вход	Дополнительный источник синхросигнала для генерации конфигурационного синхросигнала DCLK. Разрешается, если EX_EN=1
18	25	nINIT_CONF	выход	Позволяет инструкции «INIT_CONF» JTAG инициировать процесс конфигурирования. Этот вывод подключается к выводу nCONFIG ПЛИС. В каскадном режиме вывод nINIT_CONF первого устройства в цепочке подключается к выводу nCONFIG ПЛИС. Выводы nINIT_CONF остальных устройств остаются неподключенными

Спецификация 5576PC1У, К5576PC1У, 5576PC1Н4, К5576PC1Н4

№ вывода корпуса	№ КП кристалла	Обозначение вывода	Тип вывода	Функциональное назначение выводов
21	30	OE	вход/ выход	<p>Разрешение вывода (активный уровень единица) и сброс (активный уровень ноль). Вывод подключается к выводу nSTATUS ПЛИС.</p> <p>Уровень логического нуля сбрасывает счётчик адреса. Логическая единица разрешает DATA и счётчик адреса считает. Если этот вывод становится логическим нулём в процессе конфигурирования, то внутренний генератор становится неактивным и DCLK переводится в состояние нуля.</p> <p>Вывод не имеет внутреннего подтягивающего резистора, поэтому требуется внешний подтягивающий к питанию резистор</p>
22	31	nCS	вход	<p>Разрешение микросхемы (активный уровень ноль). Вывод подключается к выводу CONF_DONE ПЛИС. Низкий уровень позволяет инкрементировать счётчик адреса и разрешает выход DATA.</p> <p>Вывод не имеет внутреннего подтягивающего резистора, поэтому требуется внешний подтягивающий к питанию резистор</p>
23	32	DCLK	вход/ выход	<p>Выход синхросигнала в случае если AS_PS=0, в противном случае работает как вход. Вывод подключается к выводу DCLK ПЛИС.</p> <p>Положительный фронт на DCLK увеличивает внутренний счётчик адреса и выставляет следующий бит данных на вывод DATA. Счётчик инкрементируется только если вход OE в логической единице, nCS в логическом нуле и не все данные переданы в ПЛИС. После конфигурирования или если OE в логическом нуле устройство удерживает DCLK в логическом нуле</p>
24	33	DATA	выход	<p>Последовательный выход данных. Вывод подключается к выводу DATA0 ПЛИС. Данные защёлкиваются в ПЛИС по переднему фронту DCLK. Вывод находится в третьем состоянии перед конфигурацией и если вывод nCS в состоянии логической единицы, вывод LAST в состоянии логического нуля. После конфигурации, если LAST и nCS в состоянии логической единицы, то выход DATA находится в нуле</p>

Спецификация 5576PC1У, К5576PC1У, 5576PC1Н4, К5576PC1Н4

№ вывода корпуса	№ КП кристалла	Обозначение вывода	Тип вывода	Функциональное назначение выводов
25	37	nCASC	выход	Разрешение каскадирования конфигурационных схем. Этот вывод переходит в состояние логического нуля, когда счётчик адреса достигнет максимального значения. В цепочке конфигурационных устройств этот вывод подключается на вход nCS следующего устройства, который разрешает защёлкивать данные из следующего устройства в цепочке по DCLK. Для одного конфигурационного устройства или последнего в цепочке этот вывод не подключается
13, 28	17, 41	U _{CC}	Напряжение питания	Выводы питания 3,3 В
14, 27	18, 40	GND	Общий вывод	«Общий»
1, 2, 3, 8, 9, 10, 19, 20, 26	1-3, 9-11, 27, 28, 38	NC	–	Не подключаются
-	4, 12-14, 19, 23, 24, 26, 29, 34-36, 39	-	-	Не используются

Структурная блок-схема микросхемы

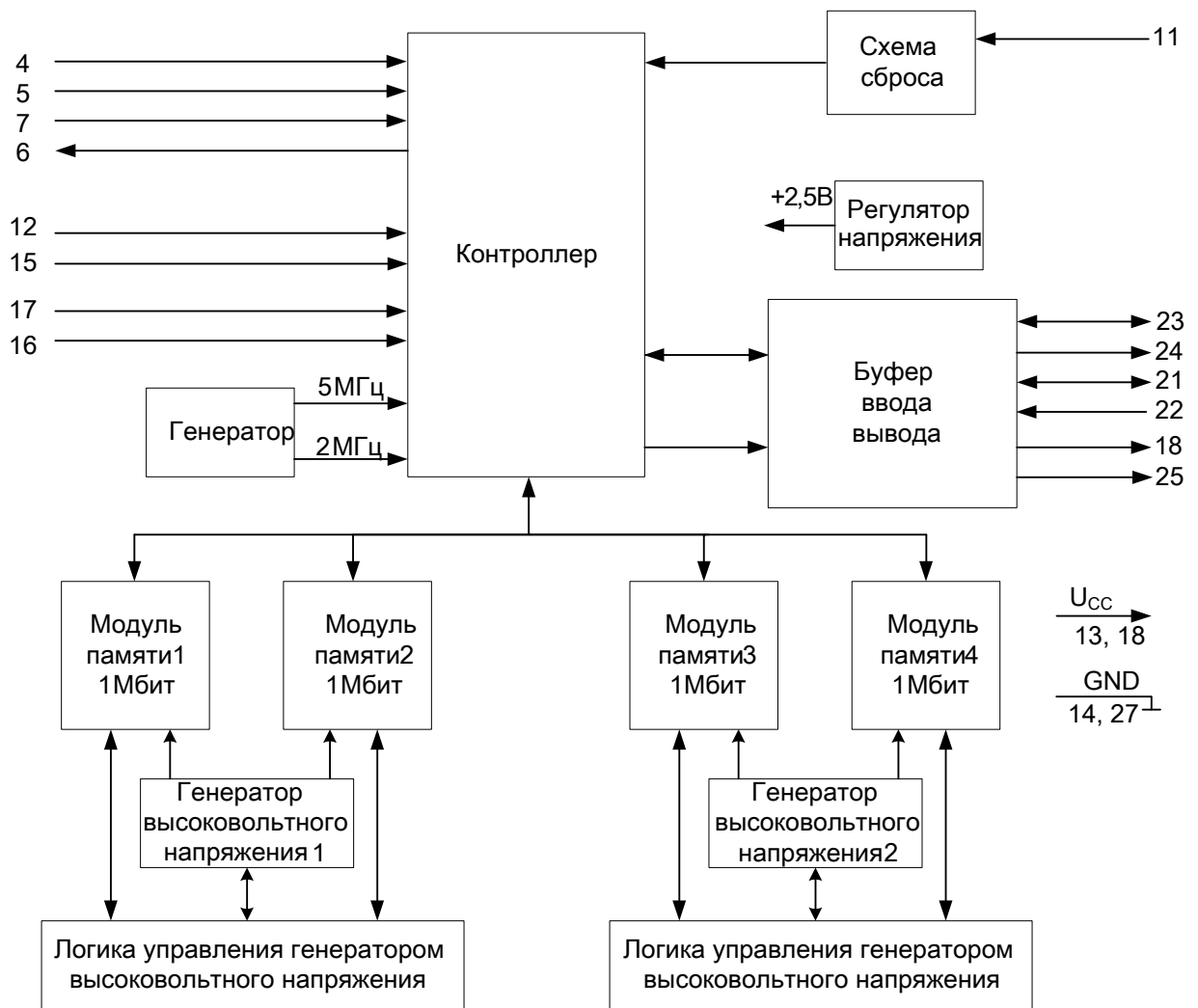


Рисунок 1 Структурная блок-схема

Примечание

Все элементы схемы имеют электрическую связь с соответствующими контактными площадками

Описание функционирования микросхемы

Программируемые логические интегральные схемы ПЛИС, основанные на SRAM LUT, должны конфигурироваться данными каждый раз после включения питания, инициализации системы, или когда необходимы новые конфигурационные данные. Конфигурационное устройство хранит конфигурационные данные и обеспечивает конфигурирование ПЛИС серии 5576XC и аналогичных им.

Ядро конфигурационного устройства делится на два основных блока: конфигурационный контроллер и память. Блок памяти состоит из 4-х независимых блоков памяти по 1 Мбит, которые могут стираться независимо друг от друга, двух схем формирования высоковольтного напряжения для программирования и стирания и встроенных генераторов частот 2 МГц и 5 МГц, обеспечивающих необходимое время программирования и стирания.

Конфигурационное устройство поддерживает два режима схем конфигурации ПЛИС:

- Active serial. Синхросигнал формируется на выводе DCLK ПЛИС и является входным для конфигурационного устройства. Режим выбирается при AS_PS=1.
- Passive serial. Синхросигнал формируется на выводе DCLK конфигурационного устройства и является входным для ПЛИС. Режим выбирается при AS_PS=0.

Микросхема поддерживает режим каскадного включения группы микросхем. В этом случае синхросигнал формируется либо первым устройством в цепочке, либо ПЛИС. При этом последнее устройство в цепочке должно иметь на входе LAST логическую единицу.

Все режимы конфигурирования последовательные. Данные поступают на последовательный вывод DATA конфигурационного устройства.

К основным функциям конфигурационного устройства относится возможность внутрисхемного программирования памяти через JTAG интерфейс и возможность задания задержки схемы формирования сброса, с помощью вывода PORSEL.

Максимальная частота на входе DCLK ПЛИС может достигать 33 МГц. Устройство конфигурирования имеет встроенный внутренний генератор синхросигнала частотой 5 МГц. Предусмотрена возможность подачи внешнего синхросигнала на вход EXCLK при EX_EN=1.

Конфигурирование ПЛИС

Конфигурирование ПЛИС управляется контроллером конфигурационного устройства. Этот процесс включает в себя чтение конфигурационных данных из памяти, последовательную выдачу их на вывод DATA и обработку ошибок.

После окончания работы схемы сброса контроллер, в зависимости от состояния выводов AS_PS, LAST, EX_EN, определяет схему и частоту конфигурации. После этого происходит чтение бита ISC_Done, расположенного по адресу 0x8000 в 13-м разряде. Этот бит определяет, запрограммирована память конфигурационного устройства или нет. Если ISC_Done=0, то устройство не конфигурирует ПЛИС. Этот конфигурационный бит читается с использованием внутреннего генератора 5 МГц.

После получения конфигурационных настроек и ISC_Done=1 контроллер убеждается в готовности ПЛИС принимать конфигурационные данные мониторингом линий nSTATUS и CONF_DONE. Если ПЛИС готова к приёму данных

(nSTATUS в единице, CONF_DONE в нуле), контроллер начинает чтение данных с адреса 0x8020 и передачу их на линию DATA с использованием DCLK.

Помимо этого контроллер контролирует ошибки в процессе конфигурации. Ошибка CONF_DONE происходит, когда ПЛИС не устанавливает сигнал CONF_DONE в единицу за 64 DCLK после того, как последний конфигурационный бит был передан. Когда обнаруживается ошибка CONF_DONE, контроллер формирует импульс нуля на выводе OE длительностью 21 мкс, который сбрасывает nSTATUS в нуль. После освобождения вывода OE начинается повторное конфигурирование ПЛИС.

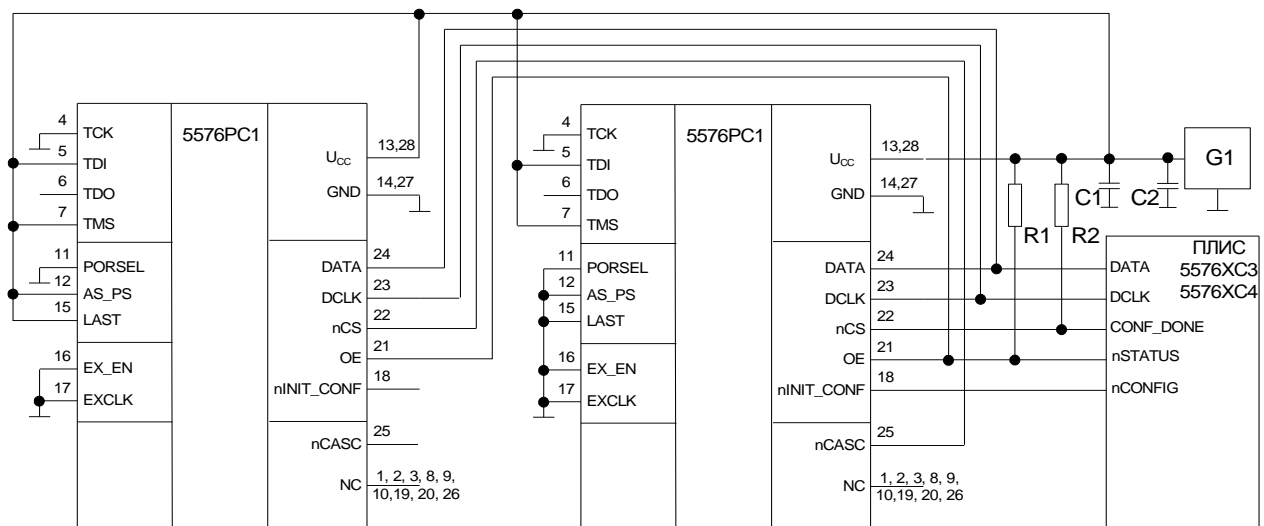
Ошибка в контрольной сумме (CRC) происходит, когда ПЛИС обнаруживает искажение в конфигурационных данных. Искажение может быть вызвано как шумами на плате, так и плохой разводкой конфигурационных сигналов. ПЛИС сигнализирует об ошибке контроллеру низким уровнем на выводе nSTATUS. Если опция «Auto-Restart Configuration After Error» разрешена в ПЛИС, то это переводит сигнал nSTATUS в состояние логической единицы после таймаута и контроллер пытается реконфигурировать ПЛИС.

После окончания конфигурирования контроллер переводит линию DCLK в состояние логического нуля, а линию DATA в третье состояние, если LAST=0, или в состояние логического нуля, если LAST=1.

Конфигурационное устройство позволяет пользователю инициировать процесс конфигурирования с помощью вывода nINIT_CONF. Этот вывод подключается к выводу nCONFIG ПЛИС, позволяя JTAG инструкции установить этот вывод в логический нуль. Установка на nCONFIG нуля сбрасывает ПЛИС. После того как машина состояний JTAG заканчивает выполнение этой инструкции nCONFIG возвращается в единицу и начинается процесс реконфигурации ПЛИС. Если эта функция не используется, то nCONFIG необходимо подсоединить непосредственно или через резистор к питанию микросхемы.

Если конфигурационные данные ПЛИС превышают ёмкость одного конфигурационного устройства, то используется каскадное включение нескольких конфигурационных устройств. В этом случае вывод nCASC предыдущего устройства подсоединяется к nCS следующего. Порядок устройств в цепочке важен. Последнее устройство должно иметь на входе LAST состояние логической единицы, у остальных устройств входы LAST=0. Если используется режим PS, то вывод AS_PS первого устройства в цепочке должен быть подтянут к земле, а у остальных устройств к питанию. Либо для всех устройств в цепочке применяется режим AS и в этом случае выводы всех конфигурационных устройств AS_PS=1. В случае использования вывода nINIT_CONF, только вывод первого устройства подключается к nCONFIG ПЛИС, у остальных устройств эти выводы остаются неподключенными. У последнего конфигурационного устройства в цепочке вывод nCASC остаётся неподключенным.

На рисунке 5 показано каскадное подключение конфигурационных устройств к ПЛИС.



- 5576PC1У – включаемая микросхема;
- G1 – источник постоянного напряжения, $U_{CC} = 3,3 \text{ В}$;
- C1, C2 – конденсаторы, $C1 = C2 = 0,1 \text{ мкФ} \pm 10 \%$;
- R1, R2 – резисторы, $R1, R2 = \text{определяются разработчиком}$;

Рисунок 5 – Схема включения ПЛИС с одной или несколькими конфигурационными микросхемами

1 Особенности подключения конкретных семейств ПЛИС к конфигурационному устройству описаны в документации ПЛИС.

2 Вывод nINIT_CONF не требует подключения подтягивающего резистора. Если nINIT_CONF не применяется, то nCONFIG можно подключить к питанию.

3 Выводы OE и nCS обязательно должны иметь подтягивающие резисторы к питанию, так как не имеют внутренних подтягивающих резисторов. Номинал резисторов определяется пользователем, в пределах от 1 до 4,7 кОм.

4 Вывод LAST первого конфигурационного устройства должен быть подключён к земле, последнего конфигурационного устройства к питанию.

5 Может применяться режим AS (активного состояния) для всех конфигурационных устройств, либо для первого PS (пассивного состояния) для всех остальных в цепочке AS.

Сброс при включении питания

Схема POR удерживает систему в состоянии сброса, пока не стабилизируется уровень напряжения питания. Время POR включает время нарастания напряжения питания и программируемый пользователем счётчик задержки POR. Когда питание стабилизируется, и задержка POR истечёт, то схема POR освобождает вывод OE. Время POR может быть увеличено внешним устройством, удерживающим OE в нуле.

Нельзя выполнять JTAG или ISP инструкции пока не закончена работа схемы POR.

Конфигурационное устройство поддерживает программирование задержки POR. Можно установить задержку POR по умолчанию $t_{PHL(POR)}$ или уменьшить её для систем требующих быстрого включения питания. Вывод PORSEL управляет задержкой POR: логическая единица выбирает уменьшенную задержку, логический ноль задержку по умолчанию.

Последовательность подачи питания

Чтобы быть уверенным, что конфигурационное устройство вошло в режим конфигурирования правильно необходимо, чтобы схема POR ПЛИС закончила работу, прежде чем схема POR конфигурационного устройства.

Для увеличения времени запитки ПЛИС должна выбираться задержка POR конфигурационного устройства $t_{PHL(POR)}$ при $PORSEL=0$, что позволит ПЛИС включиться прежде, чем начнётся конфигурирование. Помимо этого вывод $nINIT_CONF$ конфигурационного устройства необходимо подключить к выводу $nCONFIG$ ПЛИС, что позволит удерживать вывод $nCONFIG$ в нуле, пока все напряжения питания не стабилизируются.

Программирование и поддержка конфигурационных файлов

Программное обеспечение Quartus II обеспечивает программирование и автоматическое создание конфигурационных файлов для конфигурационного устройства.

Конфигурационное устройство может быть запрограммировано в системе через стандартный промышленный 4-х выводной интерфейс JTAG. ISP функции в конфигурационных устройствах обеспечивают лёгкое создание и модернизацию функциональности ПЛИС.

После программирования конфигурационного устройства в системе, конфигурация ПЛИС может быть загружена с применением JTAG инструкции « $INIT_CONF$ ». Поддерживаемые JTAG инструкции приведены в таблице 9.

Схема ISP конфигурационного устройства совместима с IEEE Std. 1532 спецификацией. Более подробная информация и поддерживаемые JTAG инструкции приведены в файле BSDL « $epc4q100_1532.bsd$ ».

Таблица 2
JTAG инструкции конфигурационного устройства

JTAG инструкция	Код операции	Описание
BYPASS	11 1111 1111	Располагает однобитный регистр между TDI и TDO, позволяя проходить данным синхронно через выбранное устройство к соседнему устройству.
IDCODE	00 0101 1001	Выбирается IDCODE регистр устройства и помещается между TDI и TDO, позволяя IDCODE последовательно сдвигаться на TDO. IDCODE для конфигурационного устройства 0100A0DDh.
USERCODE	00 0111 1001	Выбирается USERCODE регистр устройства и помещается между TDI и TDO, позволяя USERCODE последовательно сдвигаться на TDO.
INIT_CONF	00 0110 0001	Эта функция инициирует процесс переконфигурирования ПЛИС импульсом низкого уровня на выводе nINIT_CONF, который подключён к выводу nCONFIG ПЛИС.
PENDCFG	00 0110 0101	Это дополнительная функция, которая позволяет удерживать вывод nINIT_CONF в нуле во время выполнения ISP функций конфигурационным устройством.
ISP инструкции	-	Эти инструкции используются для программирования конфигурационного устройства через JTAG порт с применением загрузочного кабеля.

Временные характеристики

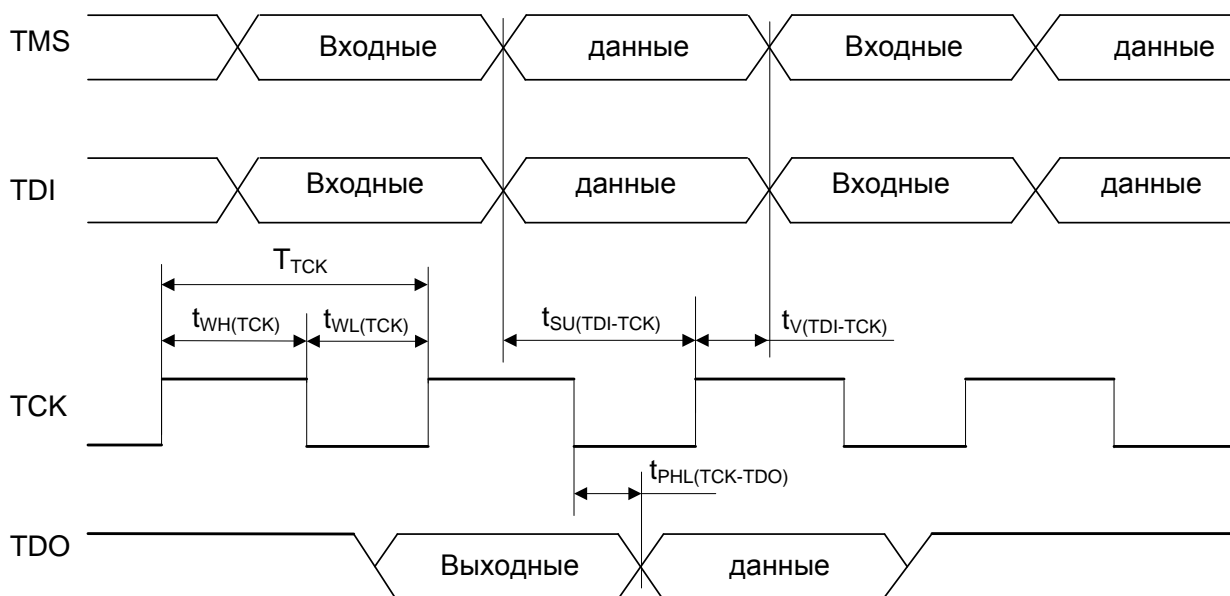


Рисунок 3 Временная диаграмма цикла записи/чтения последовательного интерфейса

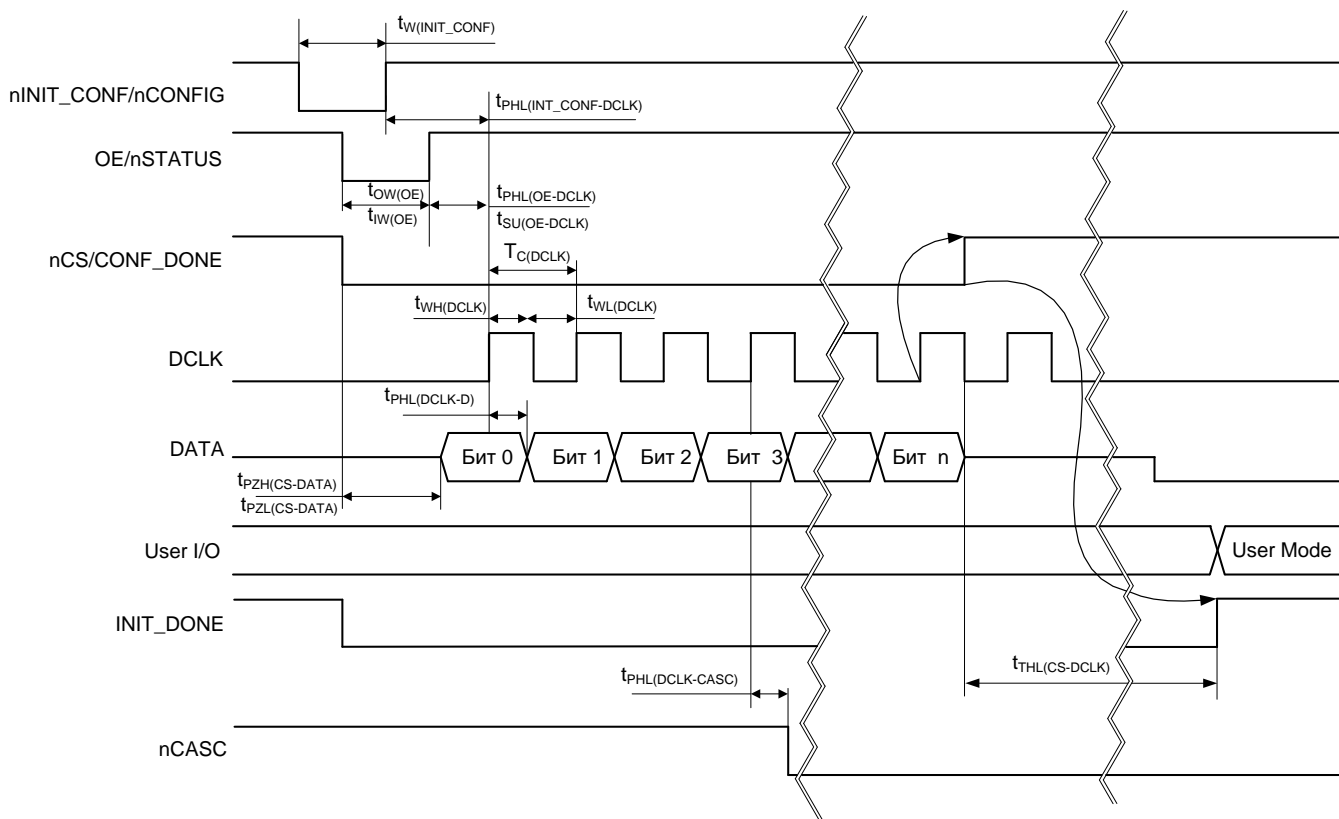


Рисунок 4 Временная диаграмма режима последовательного конфигурирования

Предельно допустимые характеристики микросхемы

Таблица 3

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Норма			
		Предельно допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В	U_{CC}	3,0	3,6	минус 0,3	4,0
Входное напряжение низкого уровня, В	U_{IL}	0	0,8	минус 0,3	–
Входное напряжение высокого уровня, В	U_{IH}	2,0	5,5	–	5,8
Напряжение, прикладываемое к выходу в состоянии «Выключено», В	U_{OZ}	0	5,5	минус 0,3	5,8
Выходной ток низкого уровня, мА	I_{OL}	–	4,0	–	24
Выходной ток высокого уровня, мА	I_{OH}	минус 4	–	минус 24	–
Ток по выводу питания, мА	I_{LCC}	–	–	–	100
Ток по общему выводу, мА	I_{L_GND}	–	–	минус 100	–
Частота следования импульсов EXCLK, МГц	f	–	33	–	–
Длительность сигнала низкого уровня OE на входе, мкс	$t_{IW(OE)}$	0,4	–	–	–
Время установления входного сигнала OE относительно синхросигнала DCLK, мкс	$t_{SU(OE-DCLK)}$	1	–	–	–
Длительность сигнала низкого/высокого уровня DCLK, нс	$t_{WH(DCLK)}$ $t_{WL(DCLK)}$	10	–	–	–
Период следования импульсов тактовых сигналов на входе TCK, нс	$T_{C(TCK)}$	100	–	–	–
Длительность сигнала низкого/высокого уровня TCK, нс	$t_{WH(TCK)}$ $t_{WL(TCK)}$	50	–	–	–
Время установления сигнала данных TDI относительно сигнала TCK, нс	$t_{SU(TDI-TCK)}$	20	–	–	–
Время сохранения сигнала данных TDI относительно сигнала TCK, нс	$t_{V(TCK-TDI)}$	45	–	–	–
Емкость нагрузки, пФ	C_L	–	20	–	50
Число циклов записи/стирания данных при: $T=85\text{ }^{\circ}\text{C}$	N_{PR}	100 000	–	–	–
при: $T=125\text{ }^{\circ}\text{C}$		10 000	–	–	–
Время хранения информации, лет при: $T=85\text{ }^{\circ}\text{C}$	t_{GS}	25	–	–	–
при: $T=125\text{ }^{\circ}\text{C}$		13	–	–	–

Электрические параметры микросхемы

Таблица 4

Наименование параметра	Обозначение параметра	Условия измерения	Норма параметра	
			не менее	не более
Выходное напряжение низкого уровня, В	U_{OL}	$I_{OL} = 4 \text{ мА}$ $U_{CC} = 3,0 \text{ В}$	–	0,55
Выходное напряжение высокого уровня, В	U_{OH}	$I_{OH} = \text{минус } 4 \text{ мА}$, $U_{CC} = 3,0 \text{ В}$	2,4	–
Ток потребления в режиме хранения, мА	I_{CCS}	$U_{nCS} = 3,6 \text{ В}$, $U_{OE} = 3,6 \text{ В}$, $U_{CC} = 3,6 \text{ В}$	–	1
Динамический ток потребления в режиме конфигурирования, мА	I_{OCC}	$U_{CC} = 3,6 \text{ В}$, $f = 33 \text{ МГц}$	–	50
Входной ток низкого и высокого уровня на входе, мкА	I_{ILL} I_{ILH}	$U_{CC} = 3,6 \text{ В}$, $U_{IH} = 5,5 \text{ В}$, $U_{IL} = 0 \text{ В}$	минус 10	10
Входной ток высокого и низкого уровня в состоянии «Выключено», мкА	I_{OZL} I_{OZH}	$U_{CC} = 3,6 \text{ В}$, $U_{IH} = 3,6 \text{ В}$, $U_{IL} = 0 \text{ В}$	минус 10	10
Период следования импульсов тактовых сигналов внутреннего генератора, нс	T_C	$U_{CC} = 3,0 \text{ В}$, $U_{CC} = 3,6 \text{ В}$	148	246
Временные характеристики интерфейса конфигурирования				
Длительность сигнала низкого уровня на выводе nINIT_CONF, мкс	$t_{W(INIT_CONF)}$ *	$U_{CC} = 3,6 \text{ В}$	20	40
Длительность сигнала низкого уровня на выходе OE, мкс	$t_{OW(OE)}$		10	40
Время задержки распространения сигнала DCLK относительно сигнала nINIT_CONF, мкс	$t_{PHL(INIT_CONF-DCLK)}$		45	–
Время задержки распространения сигнала DCLK относительно сигнала OE, мкс	$t_{PHL(OE-DCLK)}$		45	–
Время задержки распространения сигнала DCLK относительно сигнала nCS, мкс	$t_{THL(nCS-DCLK)}$	$U_{CC} = 3,6 \text{ В}$, $nCE = U_{IH}$	–	3,5
Время задержки распространения сигнала nCASC относительно сигнала DCLK, нс	$t_{PHL(DCLK-nCASC)}$		–	15
Время задержки распространения сигнала DATA относительно сигнала DCLK, нс	$t_{PHL(DCLK-DATA)}$		–	15
Выходная частота DCLK, МГц	$f_{O(DCLK)}$ *		–	33
Время задержки распространения сигнала DATA относительно сигнала nCS, нс	$t_{PZH(nCS-DATA)}$ $t_{PZL(nCS-DATA)}$		–	10
Временные характеристики JTAG интерфейса.				
Время задержки распространения сигнала TDO относительно сигнала TCK, нс	$t_{PHL(TCK-TDO)}$		–	25

Справочные данные

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды (корпуса), °С
		не менее	не более	
Время задержки распространения сигнала POR, мс при: PORSEL=0	$t_{PHL(POR)}$	200	332	25, 125, минус 60
Время задержки распространения сигнала POR, мс при: PORSEL=1		2	5	
Время нарастания и спада входных сигналов, нс	t_{HL} t_{LH}	–	20	

Временные диаграммы

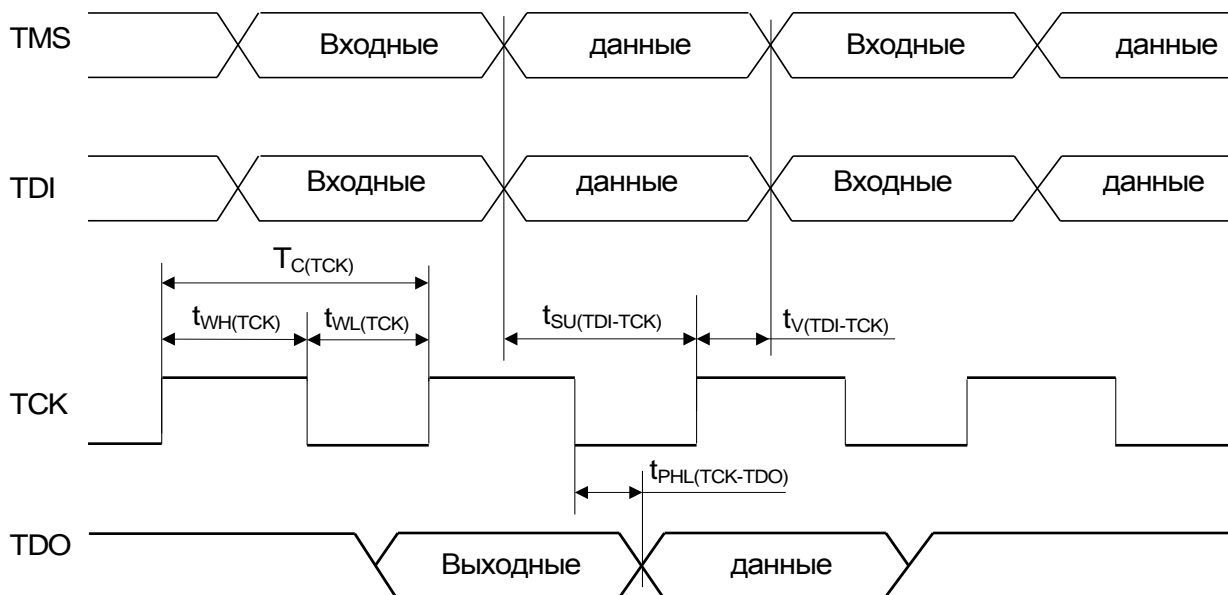


Рисунок 5 Временная диаграмма цикла записи/чтения последовательного интерфейса

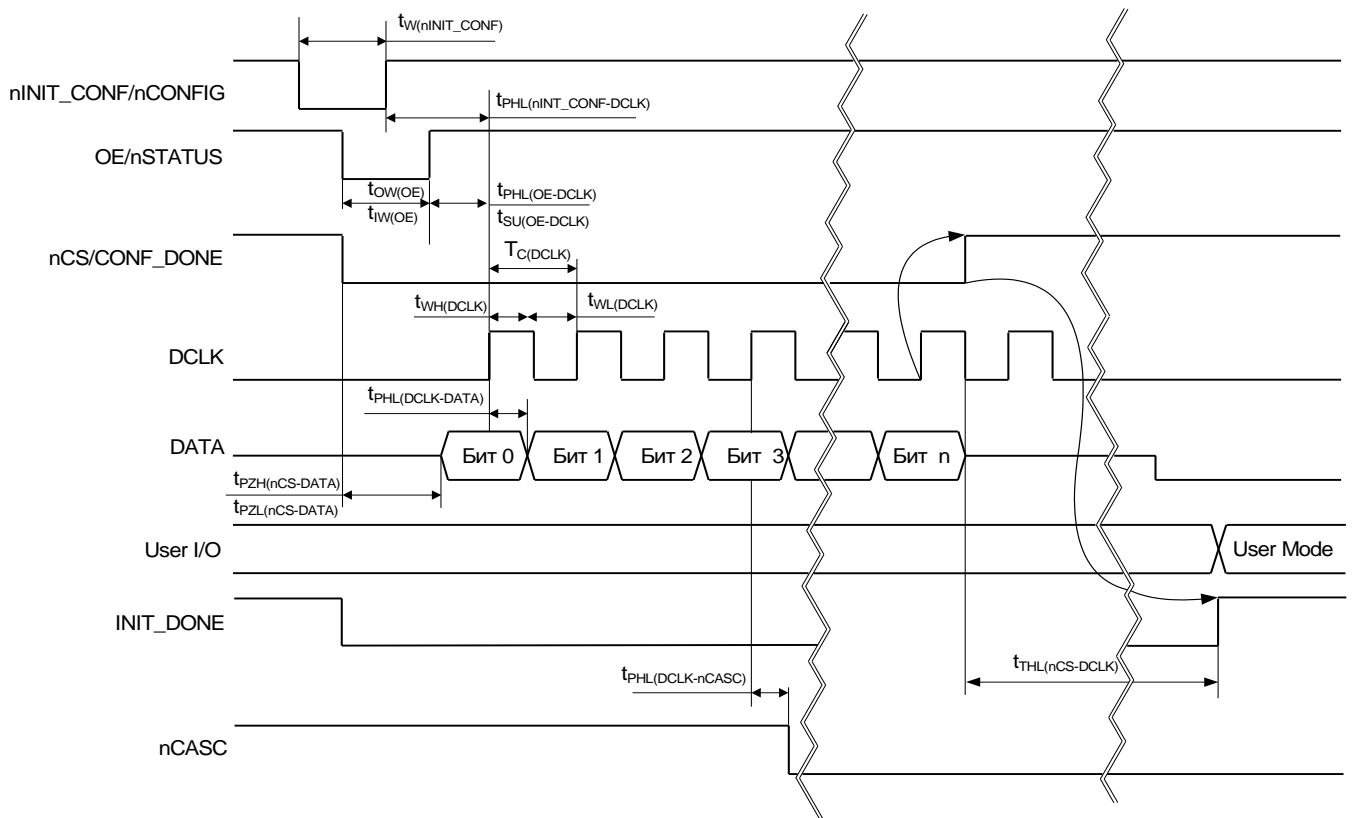


Рисунок 6 Временная диаграмма режима последовательного конфигурирования с внешним тактовым сигналом на DCLK

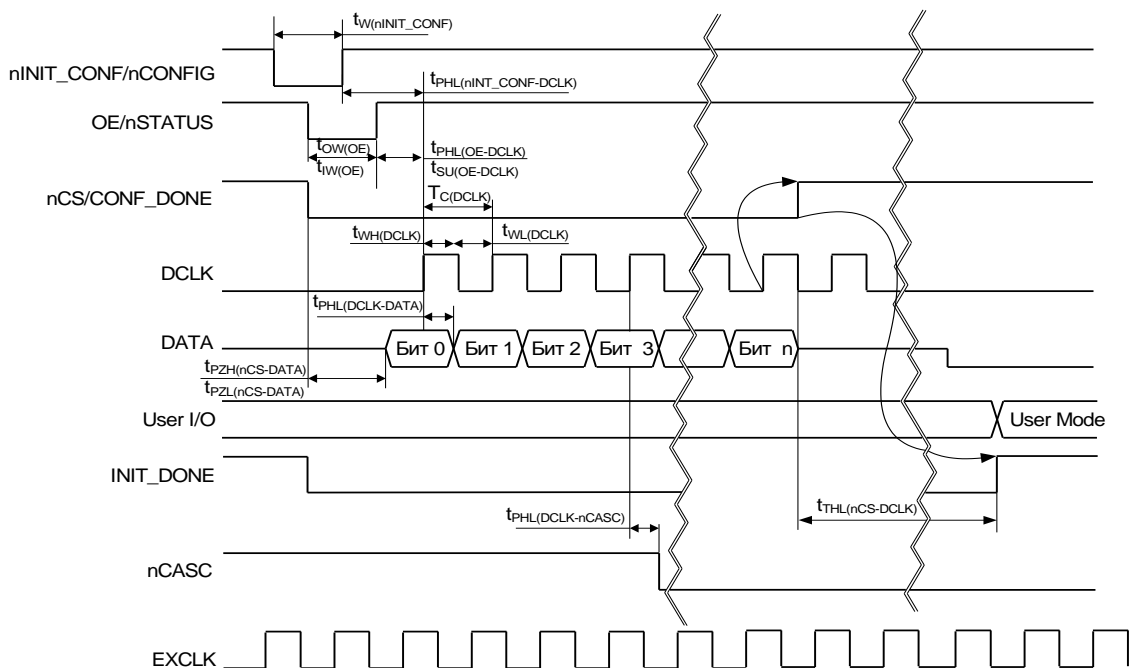


Рисунок 7 Временная диаграмма режима последовательного конфигурирования с внешним тактовым сигналом на EXCLK

Зависимости

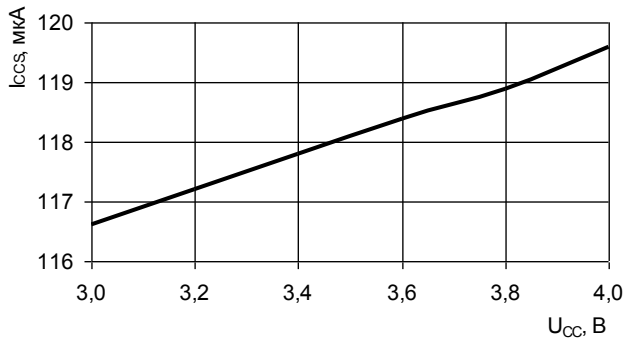


Рисунок 8 Зависимость тока потребления в режиме хранения, от напряжения питания, при: T=25 °C

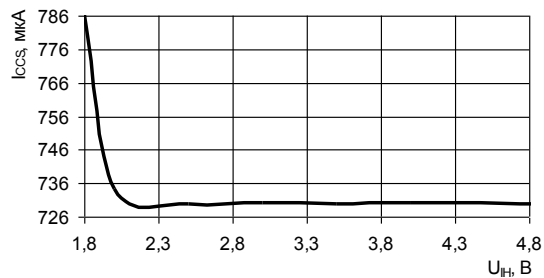


Рисунок 9 Зависимость тока потребления в режиме хранения от входного напряжения высокого уровня, при: U_{CC} = 3,3 В, U_{IL} = 0,8 В, T=25 °C

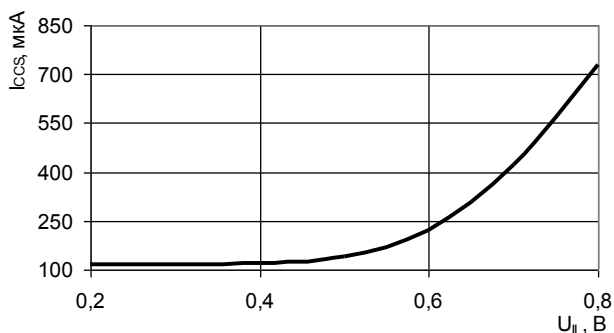


Рисунок 10 Зависимость тока потребления в режиме хранения от входного напряжения низкого уровня, при: U_{CC}=3,3 В, U_{IH}=2,2 В, T=25 °C

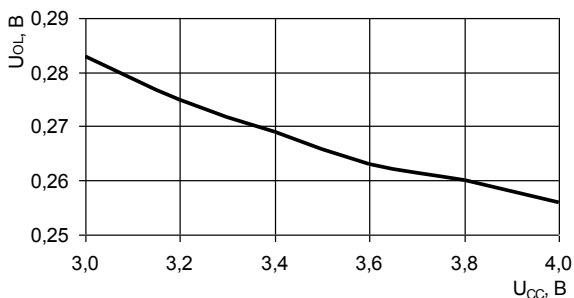


Рисунок 11 Зависимость выходного напряжения низкого уровня от напряжения питания, при: I_{OL}=4 мА, T=25 °C

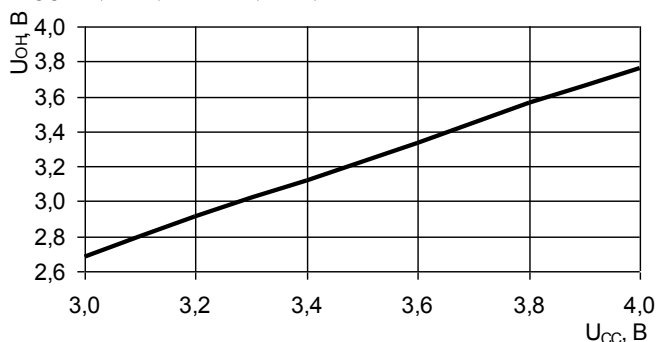


Рисунок 12 Зависимость выходного напряжения высокого уровня от напряжения питания, при: I_{OH}=минус 4 мА, T=25 °C

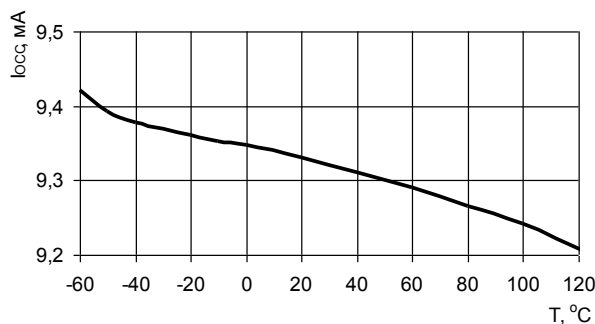


Рисунок 13 Зависимость динамического тока потребления от температуры, при: U_{CC} = 3,3 В, f_{EXCLK} = 33 МГц

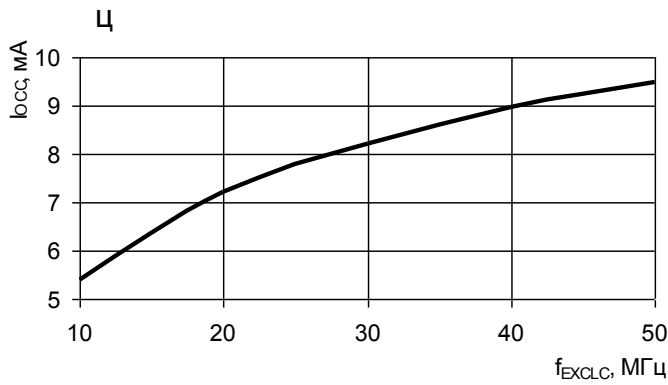


Рисунок 14 Зависимость динамического тока потребления I_{OCC} от частоты конфигурирования f_{EXCLK} , при: $U_{CC} = 3,3$ В, $T = 25$ °С

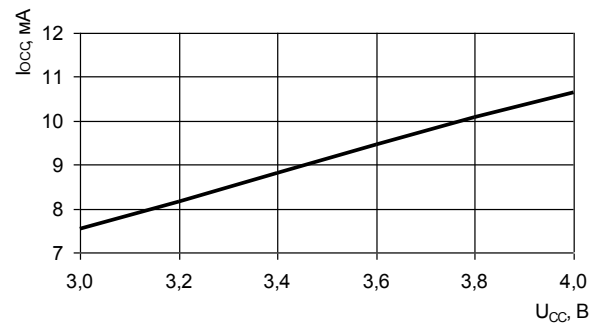


Рисунок 15 Зависимость динамического тока потребления от напряжения питания, при: $f_{EXCLK} = 33$ МГц, $T = 25$ °С

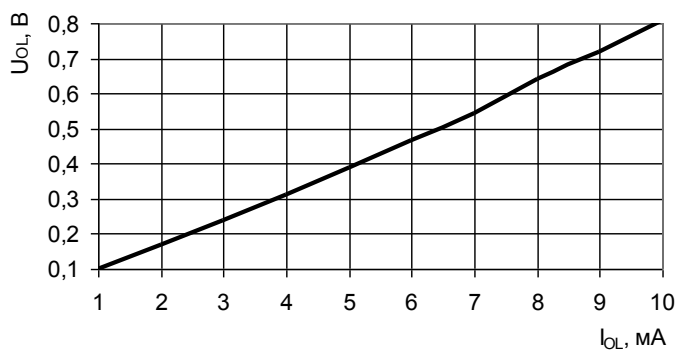


Рисунок 16 Зависимость выходного напряжения низкого уровня от тока нагрузки, при: $U_{CC} = 3,3$ В, $T = 25$ °С

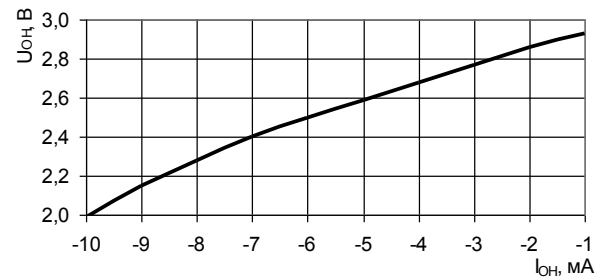


Рисунок 17 – Зависимость выходного напряжения высокого уровня от тока нагрузки, при: $U_{CC} = 3,3$ В, $T = 25$ °С

Габаритный чертеж микросхемы

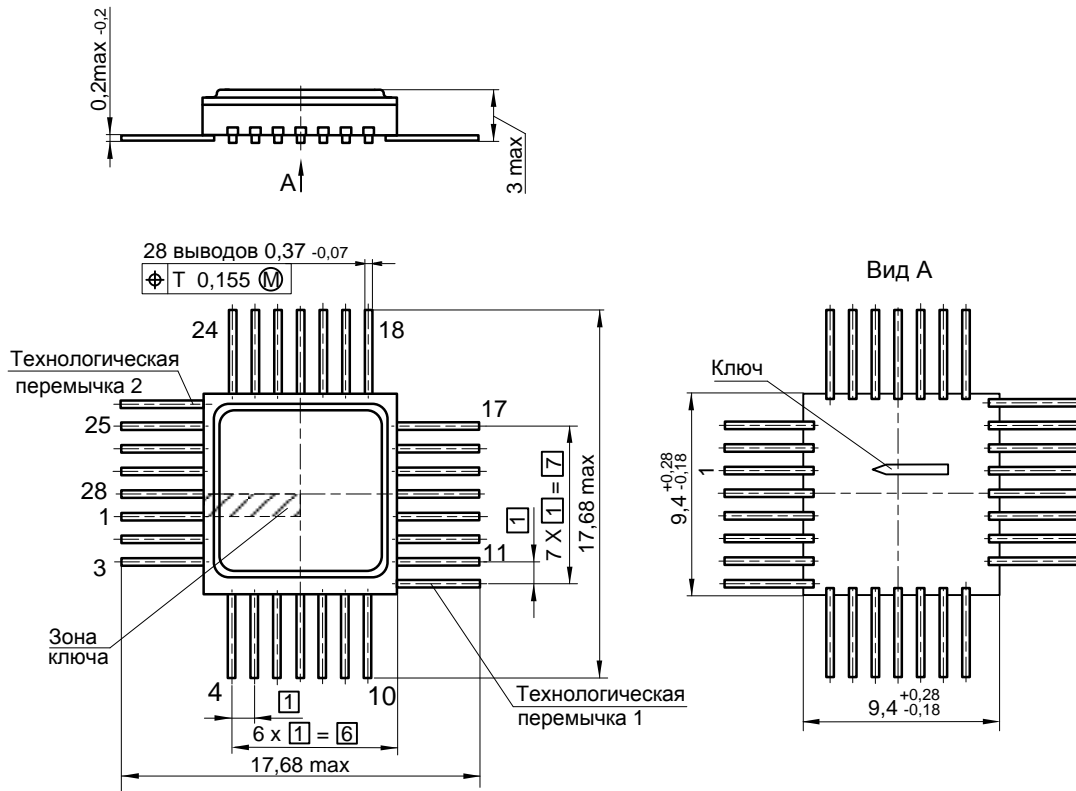


Рисунок 18 Корпус H09.28-1B

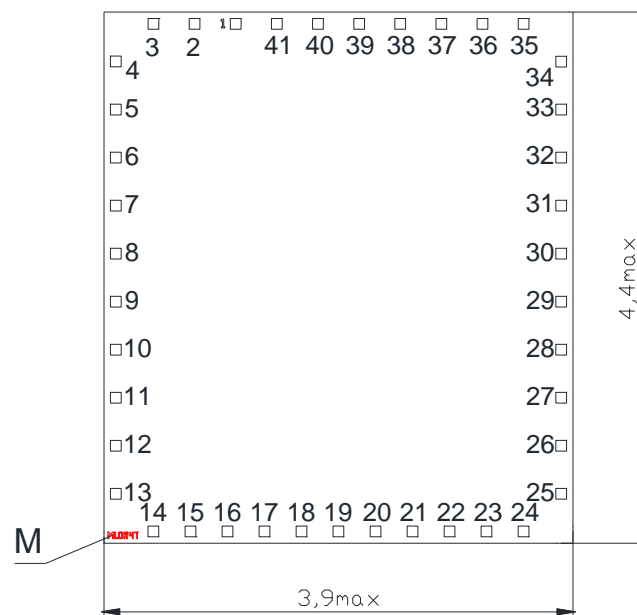


Рисунок 19 Кристалл 3,8 x 4,3 (мм)

Примечания:

1 Номера контактным площадкам кристалла (кроме первой) присвоены условно;

2 М – маркировка кристалла MLDR47.

Информация для заказа

Обозначение микросхемы	Маркировка	Тип корпуса	Температурный диапазон
5576PC1У	5576PC1У	Н09.28-1В	минус 60 – 125 °С
К5576PC1У	К5576PC1У	Н09.28-1В	минус 60 – 125 °С
К5576PC1УК	К5576PC1У [•]	Н09.28-1В	0 – 70 °С

Примечание

Микросхемы в бескорпусном исполнении поставляются в виде отдельных кристаллов, получаемых разделением пластины. Микросхемы поставляются в таре (кейсах) без потери ориентации. Маркировка микросхемы в бескорпусном исполнении – 5576PC1Н4 или К5576PC1Н4, наносится на тару.

Микросхемы с приемкой «ВП» маркируются ромбом.

Микросхемы с приемкой «ОТК» маркируются буквой «К».

Лист регистрации изменений

№ п/п	Дата	Версия	Краткое содержание изменения	№№ изменяемых листов
1	03.03.2010	1.3	1. Приведены в соответствие с ТУ табл.4, рис. 3, 4 2. Добавлен лист регистрации	
2	07.04.2010	1.4	Корректировка на основании планового пересмотра документации.	1, 14
3	27.04.2010	1.5	Замена логотипа	1
4	31.05.2010	1.6	Функциональное назначение микросхемы	1
5	14.12.2010	1.7	Введение технологической перемычки	1
6	08.07.2011	1.8	Добавлены временные диаграммы и зависимости	По тексту
7	14.02.2013	2.0.0	Приведение в соответствие с ТУ Таблицы 1 «функциональное назначение выводов» (вывод 11) и раздела «Описание функционирования микросхемы»	3, 6-9
8	22.04.2013	2.0.1	Устранена ошибка в рисунке	1
9	08.08.2013	2.1.1	Добавлен бескорпусный вариант микросхемы К5576PC1Н4 (Таблица 1). Добавлен рисунок 19.	1, 19, 20
10	08.05.2014	2.2.0	Добавлен типономинал 5576PC1Н4	По тексту