

Содержание

1	Введение.....	3
2	Назначение.....	3
3	Основные технические характеристики.....	3
3.1	Основные функциональные параметры.....	3
3.2	Особенности ПЛИС.....	4
3.3	Особенности внутренних межсоединений.....	4
3.4	Особенности элементов ввода–вывода.....	5
3.5	Особенности САПР для ПЛИС.....	5
3.6	Значения электрических параметров ПЛИС при приемке и поставке..	5
3.7	Предельно–допустимые и предельные режимы эксплуатации ПЛИС..	7
4	Условное обозначение и назначение выводов микросхем.....	8
4.1	Условное графическое обозначение микросхем.....	8
4.2	Функциональное назначение выводов микросхем.....	14
5	Описание архитектуры ПЛИС.....	37
5.1	Блок встроенной памяти.....	39
5.2	Логический блок.....	41
5.3	Логический элемент.....	43
5.3.1	Режимы работы логического элемента.....	44
5.3.1.1	Нормальный режим.....	45
5.3.1.2	Арифметический режим.....	46
5.3.1.3	Режим суммирующего/вычитающего счетчика.....	47
5.3.1.4	Режим сбрасываемого счетчика.....	47
5.3.2	Управление логикой сброса и установки.....	48
5.4	Система межсоединений.....	50
5.5	Элемент ввода–вывода.....	53
5.5.1	Соединение элементов ввода–вывода с горизонтальными каналами...	55
5.5.2	Соединение элементов ввода–вывода с вертикальными каналами.....	56
5.5.3	Контроль скорости нарастания выходного напряжения.....	57
5.5.4	Выход с открытым стоком.....	57
5.6	Поддержка периферийного сканирования.....	58
5.6.1	Функциональная модель СПС.....	59
5.6.2	Архитектура Boundary–Scan регистра.....	62
6	Тестирование.....	63
7	Расчет мощности потребления ПЛИС.....	64

1 Введение

Настоящее техническое описание (ТО) предназначено для изучения программируемых логических интегральных схем 5576XC1T, 5576XC1T1 (далее ПЛИС) и содержит описание принципа работы, технические характеристики и другие сведения, необходимые для обеспечения полного использования технических возможностей микросхем.

2 Назначение

Данные микросхемы являются результатом разработки нового поколения КМОП БИС – программируемых пользователем логических ИС с возможностью многократного изменения конфигурации.

ПЛИС предназначены для замещения серии импортных ПЛИС с числом эквивалентных вентилях (30–50) тысяч, а также для использования в системах управления при разработке аппаратуры специального назначения с высокими технико-экономическими показателями, для замены устаревшей отечественной и импортной элементной базы.

Функциональным аналогом ПЛИС является изделие EPF10K50 ф. Altera.

3 Основные технические характеристики

Кристаллы ПЛИС изготовлены по 0,35 мкм КМОП – технологии на эпитаксиальных структурах с одним уровнем поликремния и четырьмя уровнями металлизации.

Микросхемы устойчивы к воздействию статического электричества с потенциалом не менее 2000 В.

3.1 Основные функциональные параметры ПЛИС приведены в таблице 1.

Таблица 1

Параметр	Значение	
	5576XC1T	5576XC1T1
Число эквивалентных вентилях	50000	
Максимальное число системных вентилях	116000	
Количество логических элементов	2880	
Количество логических блоков	360	
Емкость встроенной памяти, бит	20480	
Количество триггеров	3184	
Количество пользовательских выводов	182	189

3.2 Особенности ПЛИС:

- блоки встроенной памяти для реализации мегафункций;
- логические блоки для основных логических функций;
- напряжение питания 3,3 В;
- толерантность входов–выходов к 5 В внешним сигналам;
- встроенный блок тестирования (Joint Test Action Group (JTAG)) с использованием схемы периферийного сканирования (BST), совместимый с IEEE Std. 1149.1-1990;
- встроенная система реконфигурации (ICR), осуществляемая посредством внешних конфигурационных устройств, интеллектуальным контроллером или JTAG портом.

3.3 Особенности внутренних межсоединений ПЛИС:

- внутренние быстрые межсоединения (Fast Track Interconnect), являющиеся быстродействующими структурами с определенными задержками;
- специализированная цепь переноса, обеспечивающая поддержку арифметических функций, таких как быстродействующие сумматоры, счётчики и компараторы (используются автоматически программным обеспечением);
- специализированная цепь каскадирования, обеспечивающая поддержку высокоскоростных функций с высоким коэффициентом разветвления на входе (используются автоматически программным обеспечением);
- шесть внешних глобальных тактовых сигналов и четыре глобальных сигнала сброса.

3.4 Особенности элементов ввода–вывода ПЛИС:

- индивидуальный сигнал разрешения третьего состояния для каждого вывода;
- возможность использования опции "открытый сток" для каждого вывода;
- снижение помех при переключениях за счёт программируемой опции «slew-rate control»;
- наличие периферийного регистра минимизирует задержку от тактового импульса до изменения информации на выходе.

3.5 Особенности САПР для ПЛИС:

- для создания проектов используется САПР ф. Altera для ПК на базе Windows, Sun SPARCstation, HP 9000 Series 700/800 рабочих станций – MAX+PLUS II или Quartus II (возможен ввод проекта и функциональное моделирование, автоматическое размещение элементов и трассировка межсоединений, конфигурирование ПЛИС);
- для ввода проекта и моделирования можно использовать EDIF 200 и EDIF 300 нетлист-файлы, библиотеки параметризованных функций (LPM), DesignWare компоненты, Verilog HDL, VHDL и другие интерфейсы популярных инструментов САПР из таких программ как Cadence, Exemplar Logic, Mentor Graphics, OrCAD, Synopsys, Synplicity, VeriBest и Viewlogic.

3.6 Значения электрических параметров ПЛИС при приемке и поставке приведены в таблице 2.

Таблица 2 – Электрические параметры микросхем при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °C	Примечание
		не менее	не более		
1	2	3	4	5	6
Выходное напряжение низкого уровня, В, $U_{CC}=3,0$ В, $U_{IL}=0,8$ В, $U_{IH}=2,2$ В, $I_{OL}=12$ мА	U_{OL}	-	0,45	– 60±3 25±3 100±5	Контролируется по одному произвольному пользовательскому выходу
Выходное напряжение высокого уровня, В, $U_{CC}=3,0$ В, $U_{IL}=0,8$ В, $U_{IH}=2,2$ В, $I_{OH}=-4$ мА	U_{OH}	2,4	-		
Ток потребления, мА, $U_{CC}=3,6$ В, $U_{IL}=0$ В, $U_{IH}=U_{CC}$	I_{CC}	-	15		-
Входной ток низкого уровня, мкА, $U_{CC}=3,6$ В, $U_{IL}=0$ В	I_{IL}	-10	-		Для пользовательских входов
Входной ток высокого уровня, мкА, $U_{CC}=3,6$ В, $U_{IH}=5,5$ В	I_{IH}	-	10		
Выходной ток в состоянии «Выключено», мкА, $U_{CC}=3,6$ В, $U_{IL}=0$ В, $U_{IH}=3,3$ В, $U_{OL}=0$ В; $U_{CC}=3,6$ В, $U_{IL}=0$ В, $U_{IH}=3,3$ В, $U_{OH}=5,5$ В	I_{OZ}	-25	25		Выходной ток буфера с третьим состоянием в состоянии «Выключено» для пользовательских входов–выходов
Длительность тактового интервала межрегистрационной пересылки, нс, $U_{CC}=3,0$ В, $U_{IL}=0$ В, $U_{IH}=U_{CC}$	t_{DRR}	-	17,2		-

Окончание таблицы 2

1	2	3	4	5	6
Максимальная частота следования импульсов тактовых сигналов, МГц, $U_{CC}=3,0\text{ В}$, $U_{IL}=0\text{ В}$, $U_{IH}=U_{CC}$	f_{Cmax}	100	-	-60 ± 3 25 ± 3 100 ± 5	Контролируется на тестовой конфигурации 8-разрядного счетчика

3.7 Предельно–допустимые и предельные режимы эксплуатации ПЛИС приведены в таблице 3.

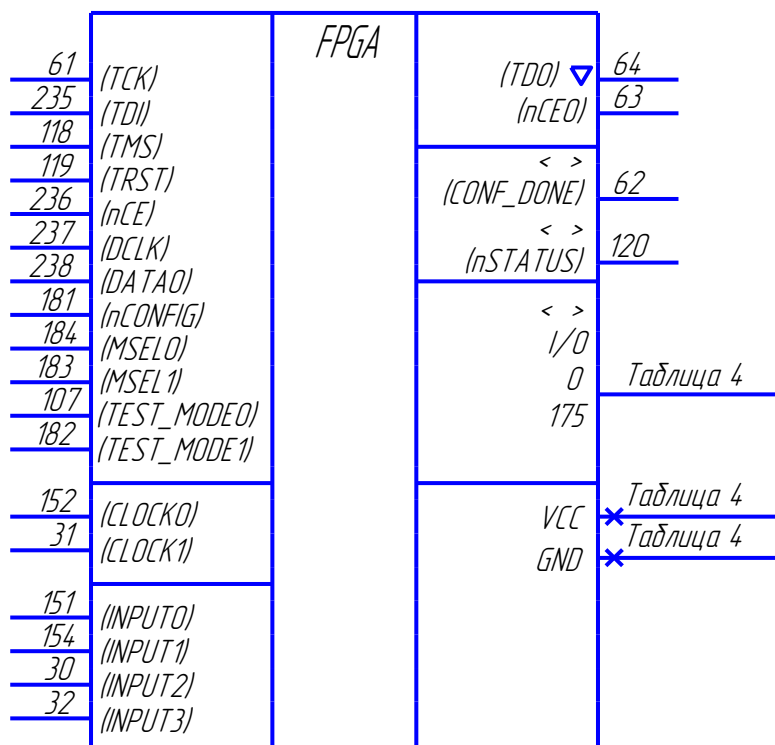
Таблица 3 – Предельно – допустимые и предельные режимы эксплуатации микросхем

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно–допустимый режим		Предельный режим	
		не менее	не более	не менее	не более
Напряжение питания, В	U_{CC}	3,0	3,6	-	4,5
Входное напряжение низкого уровня, В	U_{IL}	- 0,2	0,8	- 0,5	-
Входное напряжение высокого уровня, В	U_{IH}	2,2	5,5	-	6,0
Выходной ток низкого уровня, мА	I_{OL}	-	12	-	32
Выходной ток высокого уровня, мА	I_{OH}	-4,0	-	-11	-
Емкость нагрузки, пФ	C_L	-	100	-	200

4 Условное обозначение и назначение выводов микросхем

4.1 Разработанные ПЛИС выполнены в планарных металлокерамических корпусах с обводной керамической рамкой и шагом выводов 0,5 мм с покрытием на основе золота. ПЛИС 5576XC1T разработана в корпусе 4245.240-6 , ПЛИС 5576XC1T1 – в корпусе 4244.256-1.

Условное графическое обозначение микросхем 5576XC1T, 5576XC1T1 приведено на рисунках 1 и 2 соответственно.



FPGA – программируемая логическая интегральная схема;

TCK – тактовый вход JTAG;

TDI – вход данных JTAG;

TMS – управление состоянием TAP контроллера JTAG;

TRST – асинхронный сброс TAP контроллера JTAG;

nCE – разрешение конфигурирования в режиме Download;

DCLK – тактовый вход Download;

DATA0 – вход данных Download;

nCONFIG – сброс конфигурации;

MSEL – выбор типа конфигурирования в режиме Download;

TEST_MODE – управление тестовым режимом;

CLOCK – глобальный тактовый вход;

Рисунок 1, лист 1 – Условное графическое обозначение микросхемы интегральной 5576XC1T в корпусе 4245.240-6

INPUT – выделенный вход;
 TDO – выход данных JTAG;
 nCEO – разрешение конфигурирования следующей схемы в цепочке;
 CONF DONE – окончание конфигурирования;
 nSTATUS – готовность к конфигурированию или ошибка при конфигурировании;
 I/O – программируемый ввод–вывод

Таблица 4

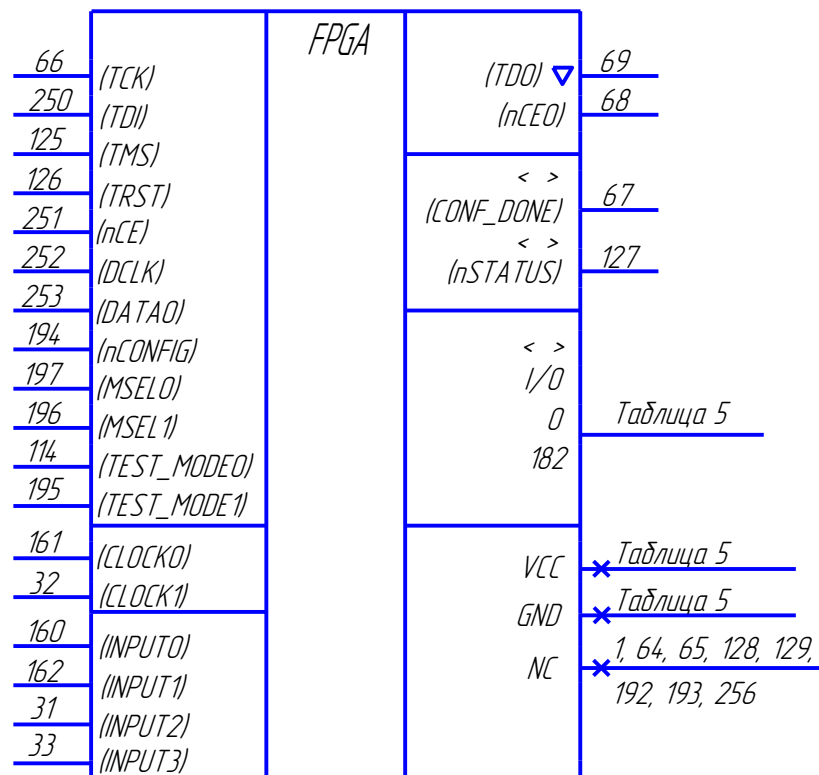
Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода
66	I/O0	91	I/O21	123	I/O42	147	I/O63	180	I/O84
67	I/O1	93	I/O22	125	I/O43	148	I/O64	175	I/O85
68	I/O2	94	I/O23	122	I/O44	149	I/O65	177	I/O86
69	I/O3	95	I/O24	127	I/O45	156	I/O66	179	I/O87
71	I/O4	97	I/O25	126	I/O46	155	I/O67	186	I/O88
72	I/O5	98	I/O26	129	I/O47	157	I/O68	187	I/O89
73	I/O6	99	I/O27	128	I/O48	160	I/O69	188	I/O90
74	I/O7	100	I/O28	131	I/O49	159	I/O70	189	I/O91
75	I/O8	102	I/O29	130	I/O50	162	I/O71	191	I/O92
77	I/O9	103	I/O30	133	I/O51	161	I/O72	192	I/O93
78	I/O10	104	I/O31	135	I/O52	163	I/O73	193	I/O94
79	I/O11	105	I/O32	134	I/O53	166	I/O74	194	I/O95
80	I/O12	108	I/O33	137	I/O54	168	I/O75	196	I/O96
81	I/O13	109	I/O34	136	I/O55	165	I/O76	197	I/O97
83	I/O14	110	I/O35	139	I/O56	170	I/O77	198	I/O98
84	I/O15	111	I/O36	138	I/O57	167	I/O78	200	I/O99
85	I/O16	113	I/O37	140	I/O58	169	I/O79	201	I/O100
86	I/O17	114	I/O38	142	I/O59	174	I/O80	202	I/O101
88	I/O18	115	I/O39	143	I/O60	171	I/O81	203	I/O102
89	I/O19	116	I/O40	144	I/O61	176	I/O82	205	I/O103
90	I/O20	121	I/O41	145	I/O62	173	I/O83	206	I/O104

Рисунок 1, лист 2

Окончание таблицы 4

Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода
207	I/O105	226	I/O120	6	I/O135	26	I/O150	50	I/O165
208	I/O106	227	I/O121	11	I/O136	27	I/O151	47	I/O166
210	I/O107	228	I/O122	8	I/O137	28	I/O152	49	I/O167
211	I/O108	230	I/O123	10	I/O138	34	I/O153	54	I/O168
212	I/O109	231	I/O124	15	I/O139	36	I/O154	51	I/O169
213	I/O110	232	I/O125	12	I/O140	35	I/O155	56	I/O170
215	I/O111	233	I/O126	14	I/O141	37	I/O156	53	I/O171
216	I/O112	239	I/O127	17	I/O142	40	I/O157	55	I/O172
217	I/O113	240	I/O128	19	I/O143	39	I/O158	60	I/O173
218	I/O114	1	I/O129	18	I/O144	42	I/O159	57	I/O174
220	I/O115	3	I/O130	21	I/O145	41	I/O160	59	I/O175
221	I/O116	5	I/O131	20	I/O146	44	I/O161		
222	I/O117	7	I/O132	23	I/O147	46	I/O162		
223	I/O118	4	I/O133	22	I/O148	45	I/O163		
225	I/O119	9	I/O134	25	I/O149	48	I/O164		
Примечания 1 Выводы VCC: 2, 16, 29, 38, 52, 65, 76, 87, 96, 106, 117, 132, 146, 150, 164, 178, 190, 199, 209, 219, 229. 2 Выводы GND: 13, 24, 33, 43, 58, 70, 82, 92, 101, 112, 124, 141, 153, 158, 172, 185, 195, 204, 214, 224, 234. 3 Выводы I/O0 – I/O175: 66-69, 71-75, 77-81, 83-86, 88-91, 93-95, 97-100, 102-105, 108-111, 113-116, 121, 123, 125, 122, 127, 126, 129, 128, 131, 130, 133, 135, 134, 137, 136, 139, 138, 140, 142-145, 147-149, 156, 155, 157, 160, 159, 162, 161, 163, 166, 168, 165, 170, 167, 169, 174, 171, 176, 173, 180, 175, 177, 179, 186-189, 191-194, 196-198, 200-203, 205-208, 210-213, 215-218, 220-223, 225-228, 230-233, 239, 240, 1, 3, 5, 7, 4, 9, 6, 11, 8, 10, 15, 12, 14, 17, 19, 18, 21, 20, 23, 22, 25-28, 34, 36, 35, 37, 40, 39, 42, 41, 44, 46, 45, 48, 50, 47, 49, 54, 51, 56, 53, 55, 60, 57, 59.									

Рисунок 1, лист 3



FPGA – программируемая логическая интегральная схема;
 TCK – тактовый вход JTAG;
 TDI – вход данных JTAG;
 TMS – управление состоянием TAP контроллера JTAG;
 TRST – асинхронный сброс TAP контроллера JTAG;
 nCE – разрешение конфигурирования в режиме Download;
 DCLK – тактовый вход Download;
 DATA0 – вход данных Download;
 nCONFIG – сброс конфигурации;
 MSEL – выбор типа конфигурирования в режиме Download;
 TEST_MODE – управление тестовым режимом;
 CLOCK – глобальный тактовый вход;
 INPUT – выделенный вход;
 TDO – выход данных JTAG;
 nCEO – разрешение конфигурирования следующей схемы в цепочке;
 CONF_DONE – окончание конфигурирования;
 nSTATUS – готовность к конфигурированию или ошибка при конфигурировании;
 I/O – программируемый ввод–вывод

Рисунок 2, лист 1 – Условное графическое обозначение микросхемы интегральной 5576XC1T1 в корпусе 4244.256-1

Таблица 5

Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода
71	I/O0	101	I/O24	136	I/O48	170	I/O72	205	I/O96
72	I/O1	102	I/O25	139	I/O49	171	I/O73	206	I/O97
73	I/O2	104	I/O26	138	I/O50	173	I/O74	207	I/O98
74	I/O3	105	I/O27	141	I/O51	174	I/O75	209	I/O99
76	I/O4	106	I/O28	140	I/O52	176	I/O76	210	I/O100
77	I/O5	107	I/O29	142	I/O53	175	I/O77	211	I/O101
78	I/O6	109	I/O30	145	I/O54	178	I/O78	212	I/O102
79	I/O7	110	I/O31	144	I/O55	177	I/O79	214	I/O103
80	I/O8	111	I/O32	147	I/O56	179	I/O80	215	I/O104
82	I/O9	112	I/O33	146	I/O57	182	I/O81	216	I/O105
83	I/O10	115	I/O34	149	I/O58	181	I/O82	217	I/O106
84	I/O11	116	I/O35	150	I/O59	184	I/O83	219	I/O107
85	I/O12	117	I/O36	151	I/O60	183	I/O84	220	I/O108
86	I/O13	118	I/O37	152	I/O61	186	I/O85	221	I/O109
88	I/O14	120	I/O38	153	I/O62	188	I/O86	222	I/O110
89	I/O15	121	I/O39	154	I/O63	187	I/O87	224	I/O111
90	I/O16	122	I/O40	156	I/O64	190	I/O88	225	I/O112
91	I/O17	123	I/O41	157	I/O65	189	I/O89	226	I/O113
93	I/O18	131	I/O42	158	I/O66	191	I/O90	227	I/O114
94	I/O19	130	I/O43	164	I/O67	199	I/O91	229	I/O115
95	I/O20	133	I/O44	165	I/O68	200	I/O92	230	I/O116
96	I/O21	132	I/O45	167	I/O69	201	I/O93	231	I/O117
99	I/O22	135	I/O46	168	I/O70	202	I/O94	232	I/O118
100	I/O23	137	I/O47	169	I/O71	204	I/O95	234	I/O119

Рисунок 2, лист 2

Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода	Номер вывода	Метка вывода
235	I/O120	255	I/O133	17	I/O146	36	I/O159	51	I/O172
236	I/O121	3	I/O134	16	I/O147	37	I/O160	54	I/O173
237	I/O122	2	I/O135	18	I/O148	39	I/O161	53	I/O174
239	I/O123	5	I/O136	21	I/O149	40	I/O162	56	I/O175
240	I/O124	7	I/O137	20	I/O150	41	I/O163	55	I/O176
241	I/O125	6	I/O138	22	I/O151	42	I/O164	58	I/O177
242	I/O126	9	I/O139	23	I/O152	43	I/O165	60	I/O178
244	I/O127	8	I/O140	24	I/O153	44	I/O166	59	I/O179
245	I/O128	11	I/O141	26	I/O154	46	I/O167	62	I/O180
246	I/O129	10	I/O142	27	I/O155	48	I/O168	61	I/O181
247	I/O130	12	I/O143	28	I/O156	47	I/O169	63	I/O182
248	I/O131	15	I/O144	29	I/O157	50	I/O170		
254	I/O132	14	I/O145	35	I/O158	49	I/O171		

Примечания

1 Выводы VCC: 4, 19, 30, 38, 52, 70, 81, 92, 103, 113, 124, 143, 155, 159, 172, 185, 203, 213, 223, 233, 243.

2 Выводы GND: 13, 25, 34, 45, 57, 75, 87, 97, 98, 108, 119, 134, 148, 163, 166, 180, 198, 208, 218, 228, 238, 249.

3 Выводы I/O0 – I/O182: 71-74, 76-80, 82-86, 88-91, 93-96, 99-102, 104-107, 109-112, 115-118, 120-123, 131, 130, 133, 132, 135, 137, 136, 139, 138, 141, 140, 142, 145, 144, 147, 146, 149-154, 156-158, 164, 165, 167-171, 173, 174, 176, 175, 178, 177, 179, 182, 181, 184, 183, 186, 188, 187, 190, 189, 191, 199, 200-202, 204-207, 209-212, 214-217, 219-222, 224-227, 229-232, 234-237, 239-242, 244-248, 254, 255, 3, 2, 5, 7, 6, 9, 8, 11, 10, 12, 15, 14, 17, 16, 18, 21, 20, 22, 23, 24, 26-29, 35-37, 39-44, 46, 48, 47, 50, 49, 51, 54, 53, 56, 55, 58, 60, 69, 62, 61, 63.

4.2 Функциональное назначение выводов микросхем 5576XC1T и 5576XC1T1 приведено в таблицах 6 и 7 соответственно.

Таблица 6 – Назначение выводов микросхемы интегральной 5576XC1T

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
1	I/O129 ²⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
2	VCC	Питание		
3	I/O130	Программируемый ввод-вывод	Вход-выход	Пользовательский
4	I/O133	Программируемый ввод-вывод	Вход-выход	Пользовательский
5	I/O131 ²⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
6	I/O135 ²⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
7	I/O132 ²⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
8	I/O137	Программируемый ввод-вывод	Вход-выход	Пользовательский
9	I/O134 ²⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
10	I/O138	Программируемый ввод-вывод	Вход-выход	Пользовательский
11	I/O136	Программируемый ввод-вывод	Вход-выход	Пользовательский
12	I/O140	Программируемый ввод-вывод	Вход-выход	Пользовательский
13	GND	Общий		
14	I/O141	Программируемый ввод-вывод	Вход-выход	Пользовательский
15	I/O139	Программируемый ввод-вывод	Вход-выход	Пользовательский
16	VCC	Питание		
17	I/O142	Программируемый ввод-вывод	Вход-выход	Пользовательский
18	I/O144	Программируемый ввод-вывод	Вход-выход	Пользовательский
19	I/O143	Программируемый ввод-вывод	Вход-выход	Пользовательский
20	I/O146	Программируемый ввод-вывод	Вход-выход	Пользовательский
21	I/O145	Программируемый ввод-вывод	Вход-выход	Пользовательский
22	I/O148	Программируемый ввод-вывод	Вход-выход	Пользовательский

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
23	I/O147	Программируемый ввод-вывод	Вход-выход	Пользовательский
24	GND	Общий		
25	I/O149	Программируемый ввод-вывод	Вход-выход	Пользовательский
26	I/O150	Программируемый ввод-вывод	Вход-выход	Пользовательский
27	I/O151	Программируемый ввод-вывод	Вход-выход	Пользовательский
28	I/O152 ⁴⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
29	VCC	Питание		
30	INPUT2	Выделенный вход	Вход	Пользовательский
31	CLOCK1	Глобальный тактовый вход	Вход	Пользовательский
32	INPUT3	Выделенный вход	Вход	Пользовательский
33	GND	Общий		
34	I/O153 ⁵⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
35	I/O155	Программируемый ввод-вывод	Вход-выход	Пользовательский
36	I/O154	Программируемый ввод-вывод	Вход-выход	Пользовательский
37	I/O156	Программируемый ввод-вывод	Вход-выход	Пользовательский
38	VCC	Питание		
39	I/O158	Программируемый ввод-вывод	Вход-выход	Пользовательский
40	I/O157	Программируемый ввод-вывод	Вход-выход	Пользовательский
41	I/O160	Программируемый ввод-вывод	Вход-выход	Пользовательский
42	I/O159	Программируемый ввод-вывод	Вход-выход	Пользовательский
43	GND	Общий		
44	I/O161	Программируемый ввод-вывод	Вход-выход	Пользовательский
45	I/O163	Программируемый ввод-вывод	Вход-выход	Пользовательский
46	I/O162	Программируемый ввод-вывод	Вход-выход	Пользовательский
47	I/O166	Программируемый ввод-вывод	Вход-выход	Пользовательский

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
48	I/O164	Программируемый ввод-вывод	Вход-выход	Пользовательский
49	I/O167	Программируемый ввод-вывод	Вход-выход	Пользовательский
50	I/O165	Программируемый ввод-вывод	Вход-выход	Пользовательский
51	I/O169	Программируемый ввод-вывод	Вход-выход	Пользовательский
52	VCC	Питание		
53	I/O171	Программируемый ввод-вывод	Вход-выход	Пользовательский
54	I/O168	Программируемый ввод-вывод	Вход-выход	Пользовательский
55	I/O172 ³⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
56	I/O170	Программируемый ввод-вывод	Вход-выход	Пользовательский
57	I/O174 ³⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
58	GND	Общий		
59	I/O175 ³⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
60	I/O173 ³⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
61	TCK	Тактовый вход JTAG	Вход	Служебный
62	CONF_DONE	Окончание конфигурирования	Вход-выход	Служебный
63	nCEO	Разрешение конфигурирования следующей схемы в цепочке	Выход	Служебный
64	TDO	Выход данных JTAG	Выход	Служебный
65	VCC	Питание		
66	I/O0	Программируемый ввод-вывод	Вход-выход	Пользовательский
67	I/O1	Программируемый ввод-вывод	Вход-выход	Пользовательский
68	I/O2	Программируемый ввод-вывод	Вход-выход	Пользовательский
69	I/O3	Программируемый ввод-вывод	Вход-выход	Пользовательский
70	GND	Общий		
71	I/O4 ¹⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
72	I/O5	Программируемый ввод-вывод	Вход-выход	Пользовательский
73	I/O6	Программируемый ввод-вывод	Вход-выход	Пользовательский
74	I/O7	Программируемый ввод-вывод	Вход-выход	Пользовательский
75	I/O8	Программируемый ввод-вывод	Вход-выход	Пользовательский
76	VCC	Питание		
77	I/O9	Программируемый ввод-вывод	Вход-выход	Пользовательский
78	I/O10	Программируемый ввод-вывод	Вход-выход	Пользовательский
79	I/O11	Программируемый ввод-вывод	Вход-выход	Пользовательский
80	I/O12	Программируемый ввод-вывод	Вход-выход	Пользовательский
81	I/O13	Программируемый ввод-вывод	Вход-выход	Пользовательский
82	GND	Общий		
83	I/O14 ²⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
84	I/O15	Программируемый ввод-вывод	Вход-выход	Пользовательский
85	I/O16	Программируемый ввод-вывод	Вход-выход	Пользовательский
86	I/O17 ¹⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
87	VCC	Питание		
88	I/O18	Программируемый ввод-вывод	Вход-выход	Пользовательский
89	I/O19	Программируемый ввод-вывод	Вход-выход	Пользовательский
90	I/O20	Программируемый ввод-вывод	Вход-выход	Пользовательский
91	I/O21	Программируемый ввод-вывод	Вход-выход	Пользовательский
92	GND	Общий		
93	I/O22	Программируемый ввод-вывод	Вход-выход	Пользовательский
94	I/O23	Программируемый ввод-вывод	Вход-выход	Пользовательский
95	I/O24	Программируемый ввод-вывод	Вход-выход	Пользовательский

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
96	VCC	Питание		
97	I/O25	Программируемый ввод-вывод	Вход-выход	Пользовательский
98	I/O26	Программируемый ввод-вывод	Вход-выход	Пользовательский
99	I/O27	Программируемый ввод-вывод	Вход-выход	Пользовательский
100	I/O28	Программируемый ввод-вывод	Вход-выход	Пользовательский
101	GND	Общий		
102	I/O29	Программируемый ввод-вывод	Вход-выход	Пользовательский
103	I/O30	Программируемый ввод-вывод	Вход-выход	Пользовательский
104	I/O31	Программируемый ввод-вывод	Вход-выход	Пользовательский
105	I/O32	Программируемый ввод-вывод	Вход-выход	Пользовательский
106	VCC	Питание		
107	TEST_MODE0 ⁶⁾	Управление тестовым режимом	Вход	Служебный
108	I/O33	Программируемый ввод-вывод	Вход-выход	Пользовательский
109	I/O34	Программируемый ввод-вывод	Вход-выход	Пользовательский
110	I/O35	Программируемый ввод-вывод	Вход-выход	Пользовательский
111	I/O36	Программируемый ввод-вывод	Вход-выход	Пользовательский
112	GND	Общий		
113	I/O37	Программируемый ввод-вывод	Вход-выход	Пользовательский
114	I/O38	Программируемый ввод-вывод	Вход-выход	Пользовательский
115	I/O39	Программируемый ввод-вывод	Вход-выход	Пользовательский
116	I/O40	Программируемый ввод-вывод	Вход-выход	Пользовательский
117	VCC	Питание		
118	TMS	Управление состоянием TAP контроллера JTAG	Вход	Служебный

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
119	TRST	Асинхронный сброс TAP контроллера JTAG	Вход	Служебный
120	nSTATUS	Готовность к конфигурированию или ошибка при конфигурировании	Вход-выход	Служебный
121	I/O41	Программируемый ввод-вывод	Вход-выход	Пользовательский
122	I/O44	Программируемый ввод-вывод	Вход-выход	Пользовательский
123	I/O42	Программируемый ввод-вывод	Вход-выход	Пользовательский
124	GND	Общий		
125	I/O43	Программируемый ввод-вывод	Вход-выход	Пользовательский
126	I/O46	Программируемый ввод-вывод	Вход-выход	Пользовательский
127	I/O45	Программируемый ввод-вывод	Вход-выход	Пользовательский
128	I/O48	Программируемый ввод-вывод	Вход-выход	Пользовательский
129	I/O47	Программируемый ввод-вывод	Вход-выход	Пользовательский
130	I/O50	Программируемый ввод-вывод	Вход-выход	Пользовательский
131	I/O49	Программируемый ввод-вывод	Вход-выход	Пользовательский
132	VCC	Питание		
133	I/O51	Программируемый ввод-вывод	Вход-выход	Пользовательский
134	I/O53	Программируемый ввод-вывод	Вход-выход	Пользовательский
135	I/O52	Программируемый ввод-вывод	Вход-выход	Пользовательский
136	I/O55	Программируемый ввод-вывод	Вход-выход	Пользовательский
137	I/O54	Программируемый ввод-вывод	Вход-выход	Пользовательский
138	I/O57	Программируемый ввод-вывод	Вход-выход	Пользовательский
139	I/O56	Программируемый ввод-вывод	Вход-выход	Пользовательский

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
140	I/O58	Программируемый ввод-вывод	Вход-выход	Пользовательский
141	GND	Общий		
142	I/O59	Программируемый ввод-вывод	Вход-выход	Пользовательский
143	I/O60	Программируемый ввод-вывод	Вход-выход	Пользовательский
144	I/O61	Программируемый ввод-вывод	Вход-выход	Пользовательский
145	I/O62	Программируемый ввод-вывод	Вход-выход	Пользовательский
146	VCC	Питание		
147	I/O63	Программируемый ввод-вывод	Вход-выход	Пользовательский
148	I/O64	Программируемый ввод-вывод	Вход-выход	Пользовательский
149	I/O65	Программируемый ввод-вывод	Вход-выход	Пользовательский
150	VCC	Питание		
151	INPUT0	Выделенный вход	Вход	Пользовательский
152	CLOCK0	Глобальный тактовый вход	Вход	Пользовательский
153	GND	Общий		
154	INPUT1	Выделенный вход	Вход	Пользовательский
155	I/O67	Программируемый ввод-вывод	Вход-выход	Пользовательский
156	I/O66	Программируемый вход-выход	Вход-выход	Пользовательский
157	I/O68	Программируемый ввод-вывод	Вход-выход	Пользовательский
158	GND	Общий		
159	I/O70	Программируемый ввод-вывод	Вход-выход	Пользовательский
160	I/O69	Программируемый ввод-вывод	Вход-выход	Пользовательский
161	I/O72	Программируемый ввод-вывод	Вход-выход	Пользовательский
162	I/O71	Программируемый ввод-вывод	Вход-выход	Пользовательский
163	I/O73	Программируемый ввод-вывод	Вход-выход	Пользовательский
164	VCC	Питание		
165	I/O76	Программируемый ввод-вывод	Вход-выход	Пользовательский

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
166	I/O74	Программируемый ввод-вывод	Вход-выход	Пользовательский
167	I/O78	Программируемый ввод-вывод	Вход-выход	Пользовательский
168	I/O75	Программируемый ввод-вывод	Вход-выход	Пользовательский
169	I/O79	Программируемый ввод-вывод	Вход-выход	Пользовательский
170	I/O77	Программируемый ввод-вывод	Вход-выход	Пользовательский
171	I/O81	Программируемый ввод-вывод	Вход-выход	Пользовательский
172	GND	Общий		
173	I/O83	Программируемый ввод-вывод	Вход-выход	Пользовательский
174	I/O80	Программируемый ввод-вывод	Вход-выход	Пользовательский
175	I/O85	Программируемый ввод-вывод	Вход-выход	Пользовательский
176	I/O82	Программируемый ввод-вывод	Вход-выход	Пользовательский
177	I/O86	Программируемый ввод-вывод	Вход-выход	Пользовательский
178	VCC	Питание		
179	I/O87	Программируемый ввод-вывод	Вход-выход	Пользовательский
180	I/O84	Программируемый ввод-вывод	Вход-выход	Пользовательский
181	nCONFIG	Сброс конфигурации	Вход	Служебный
182	TEST_MODE1 ⁷⁾	Управление тестовым режимом	Вход	Служебный
183	MSEL1	Выбор типа конфигурирования в режиме Download	Вход	Служебный
184	MSEL0	Выбор типа конфигурирования в режиме Download	Вход	Служебный
185	GND	Общий		
186	I/O88	Программируемый ввод-вывод	Вход-выход	Пользовательский
187	I/O89	Программируемый ввод-вывод	Вход-выход	Пользовательский
188	I/O90	Программируемый ввод-вывод	Вход-выход	Пользовательский

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
189	I/O91	Программируемый ввод-вывод	Вход-выход	Пользовательский
190	VCC	Питание		
191	I/O92	Программируемый ввод-вывод	Вход-выход	Пользовательский
192	I/O93	Программируемый ввод-вывод	Вход-выход	Пользовательский
193	I/O94	Программируемый ввод-вывод	Вход-выход	Пользовательский
194	I/O95	Программируемый ввод-вывод	Вход-выход	Пользовательский
195	GND	Общий		
196	I/O96	Программируемый ввод-вывод	Вход-выход	Пользовательский
197	I/O97	Программируемый ввод-вывод	Вход-выход	Пользовательский
198	I/O98	Программируемый ввод-вывод	Вход-выход	Пользовательский
199	VCC	Питание		
200	I/O99	Программируемый ввод-вывод	Вход-выход	Пользовательский
201	I/O100	Программируемый ввод-вывод	Вход-выход	Пользовательский
202	I/O101	Программируемый ввод-вывод	Вход-выход	Пользовательский
203	I/O102	Программируемый ввод-вывод	Вход-выход	Пользовательский
204	GND	Общий		
205	I/O103	Программируемый ввод-вывод	Вход-выход	Пользовательский
206	I/O104	Программируемый ввод-вывод	Вход-выход	Пользовательский
207	I/O105	Программируемый ввод-вывод	Вход-выход	Пользовательский
208	I/O106	Программируемый ввод-вывод	Вход-выход	Пользовательский
209	VCC	Питание		
210	I/O107	Программируемый ввод-вывод	Вход-выход	Пользовательский

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
211	I/O108	Программируемый ввод-вывод	Вход-выход	Пользовательский
212	I/O109	Программируемый ввод-вывод	Вход-выход	Пользовательский
213	I/O110	Программируемый ввод-вывод	Вход-выход	Пользовательский
214	GND	Общий		
215	I/O111	Программируемый ввод-вывод	Вход-выход	Пользовательский
216	I/O112	Программируемый ввод-вывод	Вход-выход	Пользовательский
217	I/O113	Программируемый ввод-вывод	Вход-выход	Пользовательский
218	I/O114	Программируемый ввод-вывод	Вход-выход	Пользовательский
219	VCC	Питание		
220	I/O115	Программируемый ввод-вывод	Вход-выход	Пользовательский
221	I/O116	Программируемый ввод-вывод	Вход-выход	Пользовательский
222	I/O117	Программируемый ввод-вывод	Вход-выход	Пользовательский
223	I/O118	Программируемый ввод-вывод	Вход-выход	Пользовательский
224	GND	Общий		
225	I/O119	Программируемый ввод-вывод	Вход-выход	Пользовательский
226	I/O120	Программируемый ввод-вывод	Вход-выход	Пользовательский
227	I/O121	Программируемый ввод-вывод	Вход-выход	Пользовательский
228	I/O122	Программируемый ввод-вывод	Вход-выход	Пользовательский
229	VCC	Питание		
230	I/O123	Программируемый ввод-вывод	Вход-выход	Пользовательский
231	I/O124	Программируемый ввод-вывод	Вход-выход	Пользовательский
232	I/O125	Программируемый ввод-вывод	Вход-выход	Пользовательский
233	I/O126	Программируемый ввод-вывод	Вход-выход	Пользовательский
234	GND	Общий		
235	TDI	Вход данных JTAG	Вход	Служебный

Окончание таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
236	nCE	Разрешение конфигурирования в режиме Download	Вход	Служебный
237	DCLK	Тактовый вход Download	Вход	Служебный
238	DATA0	Вход данных Download	Вход	Служебный
239	I/O127 ²⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
240	I/O128 ²⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский

¹⁾ Выводы I/O17 и I/O4 могут быть использованы как служебные INIT_DONE и CLKUSR соответственно, если это указано пользователем.

²⁾ При конфигурировании ПЛИС в режимах PPS (пассивный параллельный синхронный), PPA (пассивный параллельный асинхронный) выводы I/O127, I/O128, I/O129, I/O131, I/O132, I/O134, I/O135, I/O14 используются как служебные DATA1, DATA2, DATA3, DATA4, DATA5, DATA6, DATA7, RDYnBSY соответственно. После конфигурирования указанные выводы могут быть пользовательскими согласно таблице 6.

³⁾ При конфигурировании ПЛИС в режиме PPA выводы I/O172, I/O173, I/O174, I/O175 используются как служебные nRS, nWS, CS, nCS соответственно. После конфигурирования указанные выводы могут быть пользовательскими согласно таблице 6.

⁴⁾ После выхода ПЛИС в рабочий режим вывод I/O152 может быть использован как глобальный сигнал сброса всех триггеров DEV_CLRn, если это указано пользователем.

⁵⁾ После выхода ПЛИС в рабочий режим вывод I/O153 может быть использован как глобальный сигнал разрешения третьего состояния всех элементов ввода-вывода DEV_OE, если это указано пользователем.

⁶⁾ Сигнал TEST_MODE0 предназначен для использования в режиме тестирования. В пользовательском режиме соответствующий ему 107 вывод должен быть соединен с общим выводом.

⁷⁾ Сигнал TEST_MODE1 предназначен для использования в режиме тестирования. В пользовательском режиме соответствующий ему 182 вывод должен быть соединен с выводом питания.

Таблица 7 – Назначение выводов микросхемы интегральной 5576XC1T1

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
1	NC	Не имеет ни одного внутреннего соединения в элементе		
2	I/O135	Программируемый ввод-вывод	Вход-выход	Пользовательский
3	I/O134 ²⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
4	VCC	Питание		
5	I/O136 ²⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
6	I/O138	Программируемый ввод-вывод	Вход-выход	Пользовательский
7	I/O137 ²⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
8	I/O140 ²⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
9	I/O139 ²⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
10	I/O142	Программируемый ввод-вывод	Вход-выход	Пользовательский
11	I/O141	Программируемый ввод-вывод	Вход-выход	Пользовательский
12	I/O143	Программируемый ввод-вывод	Вход-выход	Пользовательский
13	GND	Общий		
14	I/O145	Программируемый ввод-вывод	Вход-выход	Пользовательский
15	I/O144	Программируемый ввод-вывод	Вход-выход	Пользовательский
16	I/O147	Программируемый ввод-вывод	Вход-выход	Пользовательский
17	I/O146	Программируемый ввод-вывод	Вход-выход	Пользовательский
18	I/O148	Программируемый ввод-вывод	Вход-выход	Пользовательский
19	VCC	Питание		
20	I/O150	Программируемый ввод-вывод	Вход-выход	Пользовательский
21	I/O149	Программируемый ввод-вывод	Вход-выход	Пользовательский

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
22	I/O151	Программируемый ввод-вывод	Вход-выход	Пользовательский
23	I/O152	Программируемый ввод-вывод	Вход-выход	Пользовательский
24	I/O153	Программируемый ввод-вывод	Вход-выход	Пользовательский
25	GND	Общий		
26	I/O154	Программируемый ввод-вывод	Вход-выход	Пользовательский
27	I/O155	Программируемый ввод-вывод	Вход-выход	Пользовательский
28	I/O156	Программируемый ввод-вывод	Вход-выход	Пользовательский
29	I/O157 ⁴⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
30	VCC	Питание		
31	INPUT2	Выделенный вход	Вход	Пользовательский
32	CLOCK1	Глобальный тактовый вход	Вход	Пользовательский
33	INPUT3	Выделенный вход	Вход	Пользовательский
34	GND	Общий		
35	I/O158 ⁵⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
36	I/O159	Программируемый ввод-вывод	Вход-выход	Пользовательский
37	I/O160	Программируемый ввод-вывод	Вход-выход	Пользовательский
38	VCC	Питание		
39	I/O161	Программируемый ввод-вывод	Вход-выход	Пользовательский
40	I/O162	Программируемый ввод-вывод	Вход-выход	Пользовательский
41	I/O163	Программируемый ввод-вывод	Вход-выход	Пользовательский
42	I/O164	Программируемый ввод-вывод	Вход-выход	Пользовательский
43	I/O165	Программируемый ввод-вывод	Вход-выход	Пользовательский
44	I/O166	Программируемый ввод-вывод	Вход-выход	Пользовательский
45	GND	Общий		
46	I/O167	Программируемый ввод-вывод	Вход-выход	Пользовательский

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
47	I/O169	Программируемый ввод-вывод	Вход-выход	Пользовательский
48	I/O168	Программируемый ввод-вывод	Вход-выход	Пользовательский
49	I/O171	Программируемый ввод-вывод	Вход-выход	Пользовательский
50	I/O170	Программируемый ввод-вывод	Вход-выход	Пользовательский
51	I/O172	Программируемый ввод-вывод	Вход-выход	Пользовательский
52	VCC	Питание		
53	I/O174	Программируемый ввод-вывод	Вход-выход	Пользовательский
54	I/O173	Программируемый ввод-вывод	Вход-выход	Пользовательский
55	I/O176	Программируемый ввод-вывод	Вход-выход	Пользовательский
56	I/O175	Программируемый ввод-вывод	Вход-выход	Пользовательский
57	GND	Общий		
58	I/O177	Программируемый ввод-вывод	Вход-выход	Пользовательский
59	I/O179	Программируемый ввод-вывод	Вход-выход	Пользовательский
60	I/O178 ³⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
61	I/O181 ³⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
62	I/O180 ³⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
63	I/O182 ³⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
64	NC	Не имеет ни одного внутреннего соединения в элементе		
65	NC	Не имеет ни одного внутреннего соединения в элементе		
66	TCK	Тактовый вход JTAG	Вход	Служебный
67	CONF_DONE	Окончание конфигурирования	Вход-выход	Служебный

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
68	nCEO	Разрешение конфигурирования следующей схемы в цепочке	Выход	Служебный
69	TDO	Выход данных JTAG	Выход	Служебный
70	VCC	Питание		
71	I/O0	Программируемый ввод-вывод	Вход-выход	Пользовательский
72	I/O1	Программируемый ввод-вывод	Вход-выход	Пользовательский
73	I/O2	Программируемый ввод-вывод	Вход-выход	Пользовательский
74	I/O3	Программируемый ввод-вывод	Вход-выход	Пользовательский
75	GND	Общий		
76	I/O4 ¹⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
77	I/O5	Программируемый ввод-вывод	Вход-выход	Пользовательский
78	I/O6	Программируемый ввод-вывод	Вход-выход	Пользовательский
79	I/O7	Программируемый ввод-вывод	Вход-выход	Пользовательский
80	I/O8	Программируемый ввод-вывод	Вход-выход	Пользовательский
81	VCC	Питание		
82	I/O9	Программируемый ввод-вывод	Вход-выход	Пользовательский
83	I/O10	Программируемый ввод-вывод	Вход-выход	Пользовательский
84	I/O11	Программируемый ввод-вывод	Вход-выход	Пользовательский
85	I/O12	Программируемый ввод-вывод	Вход-выход	Пользовательский
86	I/O13	Программируемый ввод-вывод	Вход-выход	Пользовательский
87	GND	Общий		
88	I/O14 ²⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
89	I/O15	Программируемый ввод-вывод	Вход-выход	Пользовательский
90	I/O16	Программируемый ввод-вывод	Вход-выход	Пользовательский

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
91	I/O17 ¹⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
92	VCC	Питание		
93	I/O18	Программируемый ввод-вывод	Вход-выход	Пользовательский
94	I/O19	Программируемый ввод-вывод	Вход-выход	Пользовательский
95	I/O20	Программируемый ввод-вывод	Вход-выход	Пользовательский
96	I/O21	Программируемый ввод-вывод	Вход-выход	Пользовательский
97	GND	Общий		
98	GND	Общий		
99	I/O22	Программируемый ввод-вывод	Вход-выход	Пользовательский
100	I/O23	Программируемый ввод-вывод	Вход-выход	Пользовательский
101	I/O24	Программируемый ввод-вывод	Вход-выход	Пользовательский
102	I/O25	Программируемый ввод-вывод	Вход-выход	Пользовательский
103	VCC	Питание		
104	I/O26	Программируемый ввод-вывод	Вход-выход	Пользовательский
105	I/O27	Программируемый ввод-вывод	Вход-выход	Пользовательский
106	I/O28	Программируемый ввод-вывод	Вход-выход	Пользовательский
107	I/O29	Программируемый ввод-вывод	Вход-выход	Пользовательский
108	GND	Общий		
109	I/O30	Программируемый ввод-вывод	Вход-выход	Пользовательский
110	I/O31	Программируемый ввод-вывод	Вход-выход	Пользовательский
111	I/O32	Программируемый ввод-вывод	Вход-выход	Пользовательский
112	I/O33	Программируемый ввод-вывод	Вход-выход	Пользовательский
113	VCC	Питание		
114	TEST_MODE0 ⁶⁾	Управление тестовым режимом	Вход	Служебный
115	I/O34	Программируемый ввод-вывод	Вход-выход	Пользовательский

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
116	I/O35	Программируемый ввод-вывод	Вход-выход	Пользовательский
117	I/O36	Программируемый ввод-вывод	Вход-выход	Пользовательский
118	I/O37	Программируемый ввод-вывод	Вход-выход	Пользовательский
119	GND	Общий		
120	I/O38	Программируемый ввод-вывод	Вход-выход	Пользовательский
121	I/O39	Программируемый ввод-вывод	Вход-выход	Пользовательский
122	I/O40	Программируемый ввод-вывод	Вход-выход	Пользовательский
123	I/O41	Программируемый ввод-вывод	Вход-выход	Пользовательский
124	VCC	Питание		
125	TMS	Управление состоянием TAP контроллера JTAG	Вход	Служебный
126	TRST	Асинхронный сброс TAP контроллера JTAG	Вход	Служебный
127	nSTATUS	Готовность к конфигурированию или ошибка при конфигурировании	Вход-выход	Служебный
128	NC	Не имеет ни одного внутреннего соединения в элементе		
129	NC	Не имеет ни одного внутреннего соединения в элементе		
130	I/O43	Программируемый ввод-вывод	Вход-выход	Пользовательский
131	I/O42	Программируемый ввод-вывод	Вход-выход	Пользовательский
132	I/O45	Программируемый ввод-вывод	Вход-выход	Пользовательский
133	I/O44	Программируемый ввод-вывод	Вход-выход	Пользовательский
134	GND	Общий		
135	I/O46	Программируемый ввод-вывод	Вход-выход	Пользовательский

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
136	I/O48	Программируемый ввод-вывод	Вход-выход	Пользовательский
137	I/O47	Программируемый ввод-вывод	Вход-выход	Пользовательский
138	I/O50	Программируемый ввод-вывод	Вход-выход	Пользовательский
139	I/O49	Программируемый ввод-вывод	Вход-выход	Пользовательский
140	I/O52	Программируемый ввод-вывод	Вход-выход	Пользовательский
141	I/O51	Программируемый ввод-вывод	Вход-выход	Пользовательский
142	I/O53	Программируемый ввод-вывод	Вход-выход	Пользовательский
143	VCC	Питание		
144	I/O55	Программируемый ввод-вывод	Вход-выход	Пользовательский
145	I/O54	Программируемый ввод-вывод	Вход-выход	Пользовательский
146	I/O57	Программируемый ввод-вывод	Вход-выход	Пользовательский
147	I/O56	Программируемый ввод-вывод	Вход-выход	Пользовательский
148	GND	Общий		
149	I/O58	Программируемый ввод-вывод	Вход-выход	Пользовательский
150	I/O59	Программируемый ввод-вывод	Вход-выход	Пользовательский
151	I/O60	Программируемый ввод-вывод	Вход-выход	Пользовательский
152	I/O61	Программируемый ввод-вывод	Вход-выход	Пользовательский
153	I/O62	Программируемый ввод-вывод	Вход-выход	Пользовательский
154	I/O63	Программируемый ввод-вывод	Вход-выход	Пользовательский
155	VCC	Питание		
156	I/O64	Программируемый ввод-вывод	Вход-выход	Пользовательский
157	I/O65	Программируемый ввод-вывод	Вход-выход	Пользовательский
158	I/O66	Программируемый ввод-вывод	Вход-выход	Пользовательский
159	VCC	Питание		

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
160	INPUT0	Выделенный вход	Вход	Пользовательский
161	CLOCK0	Глобальный тактовый вход	Вход	Пользовательский
162	INPUT1	Выделенный вход	Вход	Пользовательский
163	GND	Общий		
164	I/O67	Программируемый ввод-вывод	Вход-выход	Пользовательский
165	I/O68	Программируемый ввод-вывод	Вход-выход	Пользовательский
166	GND	Общий		
167	I/O69	Программируемый ввод-вывод	Вход-выход	Пользовательский
168	I/O70	Программируемый ввод-вывод	Вход-выход	Пользовательский
169	I/O71	Программируемый ввод-вывод	Вход-выход	Пользовательский
170	I/O72	Программируемый ввод-вывод	Вход-выход	Пользовательский
171	I/O73	Программируемый ввод-вывод	Вход-выход	Пользовательский
172	VCC	Питание		
173	I/O74	Программируемый ввод-вывод	Вход-выход	Пользовательский
174	I/O75	Программируемый ввод-вывод	Вход-выход	Пользовательский
175	I/O77	Программируемый ввод-вывод	Вход-выход	Пользовательский
176	I/O76	Программируемый ввод-вывод	Вход-выход	Пользовательский
177	I/O79	Программируемый ввод-вывод	Вход-выход	Пользовательский
178	I/O78	Программируемый ввод-вывод	Вход-выход	Пользовательский
179	I/O80	Программируемый ввод-вывод	Вход-выход	Пользовательский
180	GND	Общий		
181	I/O82	Программируемый ввод-вывод	Вход-выход	Пользовательский
182	I/O81	Программируемый ввод-вывод	Вход-выход	Пользовательский
183	I/O84	Программируемый ввод-вывод	Вход-выход	Пользовательский
184	I/O83	Программируемый ввод-вывод	Вход-выход	Пользовательский

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
185	VCC	Питание		
186	I/O85	Программируемый ввод-вывод	Вход-выход	Пользовательский
187	I/O87	Программируемый ввод-вывод	Вход-выход	Пользовательский
188	I/O86	Программируемый ввод-вывод	Вход-выход	Пользовательский
189	I/O89	Программируемый ввод-вывод	Вход-выход	Пользовательский
190	I/O88	Программируемый ввод-вывод	Вход-выход	Пользовательский
191	I/O90	Программируемый ввод-вывод	Вход-выход	Пользовательский
192	NC	Не имеет ни одного внутреннего соединения в элементе		
193	NC	Не имеет ни одного внутреннего соединения в элементе		
194	nCONFIG	Сброс конфигурации	Вход	Служебный
195	TEST_MODE1 ⁷⁾	Управление тестовым режимом	Вход	Служебный
196	MSEL1	Выбор типа конфигурирования в режиме Download	Вход	Служебный
197	MSEL0	Выбор типа конфигурирования в режиме Download	Вход	Служебный
198	GND	Общий		
199	I/O91	Программируемый ввод-вывод	Вход-выход	Пользовательский
200	I/O92	Программируемый ввод-вывод	Вход-выход	Пользовательский
201	I/O93	Программируемый ввод-вывод	Вход-выход	Пользовательский
202	I/O94	Программируемый ввод-вывод	Вход-выход	Пользовательский
203	VCC	Питание		
204	I/O95	Программируемый ввод-вывод	Вход-выход	Пользовательский
205	I/O96	Программируемый ввод-вывод	Вход-выход	Пользовательский
206	I/O97	Программируемый ввод-вывод	Вход-выход	Пользовательский

Продолжение таблицы 7

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
207	I/O98	Программируемый ввод-вывод	Вход-выход	Пользовательский
208	GND	Общий		
209	I/O99	Программируемый ввод-вывод	Вход-выход	Пользовательский
210	I/O100	Программируемый ввод-вывод	Вход-выход	Пользовательский
211	I/O101	Программируемый ввод-вывод	Вход-выход	Пользовательский
212	I/O102	Программируемый ввод-вывод	Вход-выход	Пользовательский
213	VCC	Питание		
214	I/O103	Программируемый ввод-вывод	Вход-выход	Пользовательский
215	I/O104	Программируемый ввод-вывод	Вход-выход	Пользовательский
216	I/O105	Программируемый ввод-вывод	Вход-выход	Пользовательский
217	I/O106	Программируемый ввод-вывод	Вход-выход	Пользовательский
218	GND	Общий		
219	I/O107	Программируемый ввод-вывод	Вход-выход	Пользовательский
220	I/O108	Программируемый ввод-вывод	Вход-выход	Пользовательский
221	I/O109	Программируемый ввод-вывод	Вход-выход	Пользовательский
222	I/O110	Программируемый ввод-вывод	Вход-выход	Пользовательский
223	VCC	Питание		
224	I/O111	Программируемый ввод-вывод	Вход-выход	Пользовательский
225	I/O112	Программируемый ввод-вывод	Вход-выход	Пользовательский
226	I/O113	Программируемый ввод-вывод	Вход-выход	Пользовательский
227	I/O114	Программируемый ввод-вывод	Вход-выход	Пользовательский
228	GND	Общий		
229	I/O115	Программируемый ввод-вывод	Вход-выход	Пользовательский
230	I/O116	Программируемый ввод-вывод	Вход-выход	Пользовательский

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
231	I/O117	Программируемый ввод-вывод	Вход-выход	Пользовательский
232	I/O118	Программируемый ввод-вывод	Вход-выход	Пользовательский
233	VCC	Питание		
234	I/O119	Программируемый ввод-вывод	Вход-выход	Пользовательский
235	I/O120	Программируемый ввод-вывод	Вход-выход	Пользовательский
236	I/O121	Программируемый ввод-вывод	Вход-выход	Пользовательский
237	I/O122	Программируемый ввод-вывод	Вход-выход	Пользовательский
238	GND	Общий		
239	I/O123	Программируемый ввод-вывод	Вход-выход	Пользовательский
240	I/O124	Программируемый ввод-вывод	Вход-выход	Пользовательский
241	I/O125	Программируемый ввод-вывод	Вход-выход	Пользовательский
242	I/O126	Программируемый ввод-вывод	Вход-выход	Пользовательский
243	VCC	Питание		
244	I/O127	Программируемый ввод-вывод	Вход-выход	Пользовательский
245	I/O128	Программируемый ввод-вывод	Вход-выход	Пользовательский
246	I/O129	Программируемый ввод-вывод	Вход-выход	Пользовательский
247	I/O130	Программируемый ввод-вывод	Вход-выход	Пользовательский
248	I/O131	Программируемый ввод-вывод	Вход-выход	Пользовательский
249	GND	Общий		
250	TDI	Вход данных JTAG	Вход	Служебный
251	nCE	Разрешение конфигурирования в режиме Download	Вход	Служебный
252	DCLK	Тактовый вход Download	Вход	Служебный
253	DATA0	Вход данных Download	Вход	Служебный
254	I/O132 ²⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
255	I/O133 ²⁾	Программируемый ввод-вывод	Вход-выход	Пользовательский
256	NC	Не имеет ни одного внутреннего соединения в элементе		

¹⁾ Выводы I/O17 и I/O4 могут быть использованы как служебные INIT_DONE и CLKUSR соответственно, если это указано пользователем.

²⁾ При конфигурировании ПЛИС в режимах PPS (пассивный параллельный синхронный), PPA (пассивный параллельный асинхронный) выводы I/O132, I/O133, I/O134, I/O136, I/O137, I/O139, I/O140, I/O14 используются как служебные DATA1, DATA2, DATA3, DATA4, DATA5, DATA6, DATA7, RDYnBSY соответственно. После конфигурирования указанные выводы могут быть пользовательскими согласно таблице 7.

³⁾ При конфигурировании ПЛИС в режиме PPA выводы I/O178, I/O180, I/O181, I/O182 используются как служебные nRS, nWS, CS, nCS соответственно. После конфигурирования указанные выводы могут быть пользовательскими согласно таблице 7.

⁴⁾ После выхода ПЛИС в рабочий режим вывод I/O157 может быть использован как глобальный сигнал сброса всех триггеров DEV_CLRn, если это указано пользователем.

⁵⁾ После выхода ПЛИС в рабочий режим вывод I/O158 может быть использован как глобальный сигнал разрешения третьего состояния всех элементов ввода-вывода DEV_OE, если это указано пользователем.

⁶⁾ Сигнал TEST_MODE0 предназначен для использования в режиме тестирования. В пользовательском режиме соответствующий ему 114 вывод должен быть соединен с общим выводом.

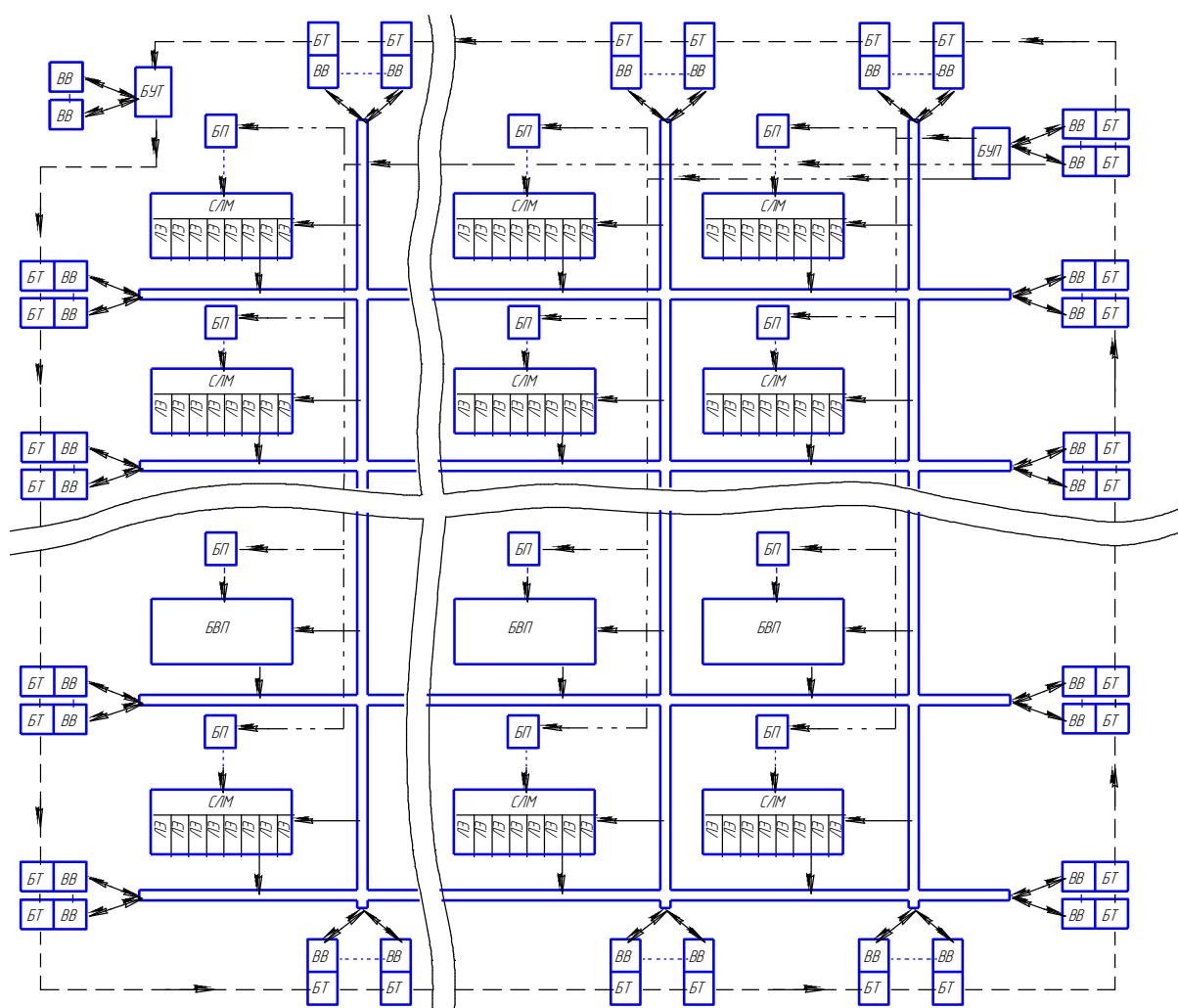
⁷⁾ Сигнал TEST_MODE1 предназначен для использования в режиме тестирования. В пользовательском режиме соответствующий ему 195 вывод должен быть соединен с выводом питания.

ПЛИС обладают встроенной программируемой логикой с возможностью реконфигурации в составе аппаратуры. Такая возможность позволяет на 100 % протестировать ИС до её использования потребителем и делает не обязательной для разработчика генерацию векторов для тестирования по выявлению конкретных ошибок. Базой реконфигурируемых элементов служат 566796 ячеек СОЗУ, распределенных по площади микросхемы. В основе архитектуры ПЛИС лежат следующие компоненты: логические элементы (ЛЭ), объединенные в логические блоки (ЛБ), блоки формирования глобальных сигналов управления, система межсоединений, а также обслуживающие блоки: блоки тестирования (БТ) и блоки программирования (БП). ЛЭ объединены в группы по 8 – логические блоки, число которых составляет 360. ЛБ составляют матрицу из 10 рядов и 36 столбцов. Встроенная память разделена на 10 блоков встроенной памяти (БВП), в каждом ряду расположено по одному БВП. Блок управления программированием (БУП) вместе с БП образуют систему конфигурирования ПЛИС, основанную на элементах СОЗУ. Встроенный блок управления тестированием (БУТ) с использованием схемы периферийного сканирования, включающей БТ, составляют систему тестирования JTAG (Joint Test Action Group), совместимую с IEEE Std. 1149.1-1990.

БВП используется для реализации разнообразных функций памяти или сложных логических функций. ЛБ используются для реализации простой логики, счетчиков, сумматоров, машин конечных состояний и мультиплексоров. Плотнупакованная комбинация ЛБ и БВП позволяет разработчикам реализовывать законченные системы в одном устройстве. Вокруг матричной части ПЛИС расположены общие выводы и выводы питания, служебные выводы, пользовательские элементы ввода–вывода и 6 выделенных входов, два из которых можно использовать в качестве формирователей тактовых импульсов. ЛБ, БВП и элементы ввода–вывода связаны друг с другом системой межсоединений.

ПЛИС поддерживают внутрисистемное конфигурирование с использованием специальных микросхем памяти EPC2, EPC8, EPC16. Конфигурационные данные могут быть так же загружены через загрузочные кабели BitBlaster

На рисунке 3 показана электрическая структурная схема ПЛИС.



38

СЛМ – система локальных межсоединений;
ЛЭ – логический элемент;
БВП – блок встроенной памяти;
ВВ – элемент ввода–вывода;
БП – блок программирования;
БУП – блок управления программированием (Download, JTAG);
БТ – блок тестирования;
БУТ – блок управления тестированием (JTAG);
 – система глобальных межсоединений

Рисунок 3, лист 2

5.1 Блок встроенной памяти

Встроенная матрица памяти содержит 10 БВП. Каждый БВП предоставляет 2048 бит с регистрами на входе и выходе блока. Когда реализуются функции памяти, БВП могут быть использованы для создания синхронного или асинхронного ОЗУ, ПЗУ или функций «первым прибыл, первым обслужен» (FIFO). Возможны следующие конфигурации БВП: 256×8 , 512×4 , 1024×2 или 2048×1 . Каждый БВП может реализовывать сложные логические функции от 100 до 600 вентилей, такие как умножители, микроконтроллеры, машины конечных состояний (state machines) и функции цифровой обработки сигналов.

Для управления входными и выходными регистрами БВП можно использовать разные тактовые сигналы, источником которых могут быть специализированные входы, глобальные сигналы или внутренние сигналы СЛМ БВП. Эти же источники можно применять для генерации сигнала разрешения записи. Входные данные и адрес БВП подключены через СЛМ к рядам системы межсоединений. Выходные данные можно коммутировать на ряды и на столбцы системы межсоединений.

Структурная схема БВП показана на рисунке 4.

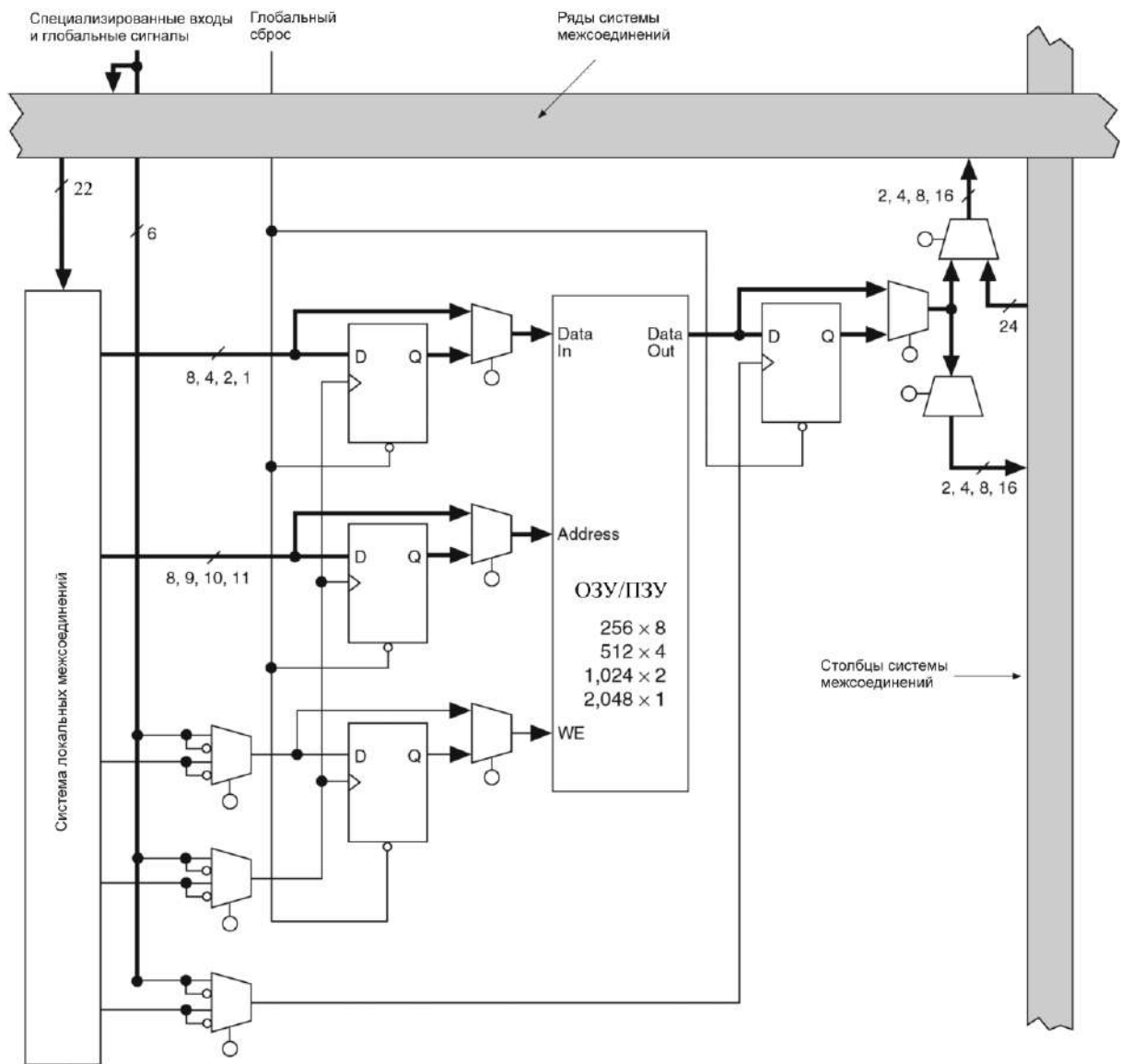


Рисунок 4 – Структурная схема блока встроенной памяти

5.2 Логический блок

ЛБ является основным элементом крупнозернистой архитектуры, основанной на эффективной трассировке с оптимальным использованием элементов и высокой производительностью, и служит для обеспечения эффективного размещения большинства проектов на ПЛИС.

ЛБ имеет СЛМ, выводы управления триггерами ЛБ, каналы переноса и каскадирования. ЛБ подключен к системе межсоединений 22–входными и 8–выходными каналами. Управление триггерами, расположенными в ЛБ, осуществляется по четырем сигналам с программируемой инверсией, каждый из которых может быть использован во всех восьми ЛЭ. Два из этих сигналов используются как тактовые, остальные – как сигналы сброса и установки. Источником управляющих сигналов могут быть выделенные (специализированные) входы, сигналы с элементов ввода–вывода или внутренние сигналы СЛМ ЛБ. Как правило, в качестве внешних источников глобальных тактовых сигналов или сигналов сброса и установки используются выделенные (специализированные) входы. Структурная схема ЛБ приведена на рисунке 5.

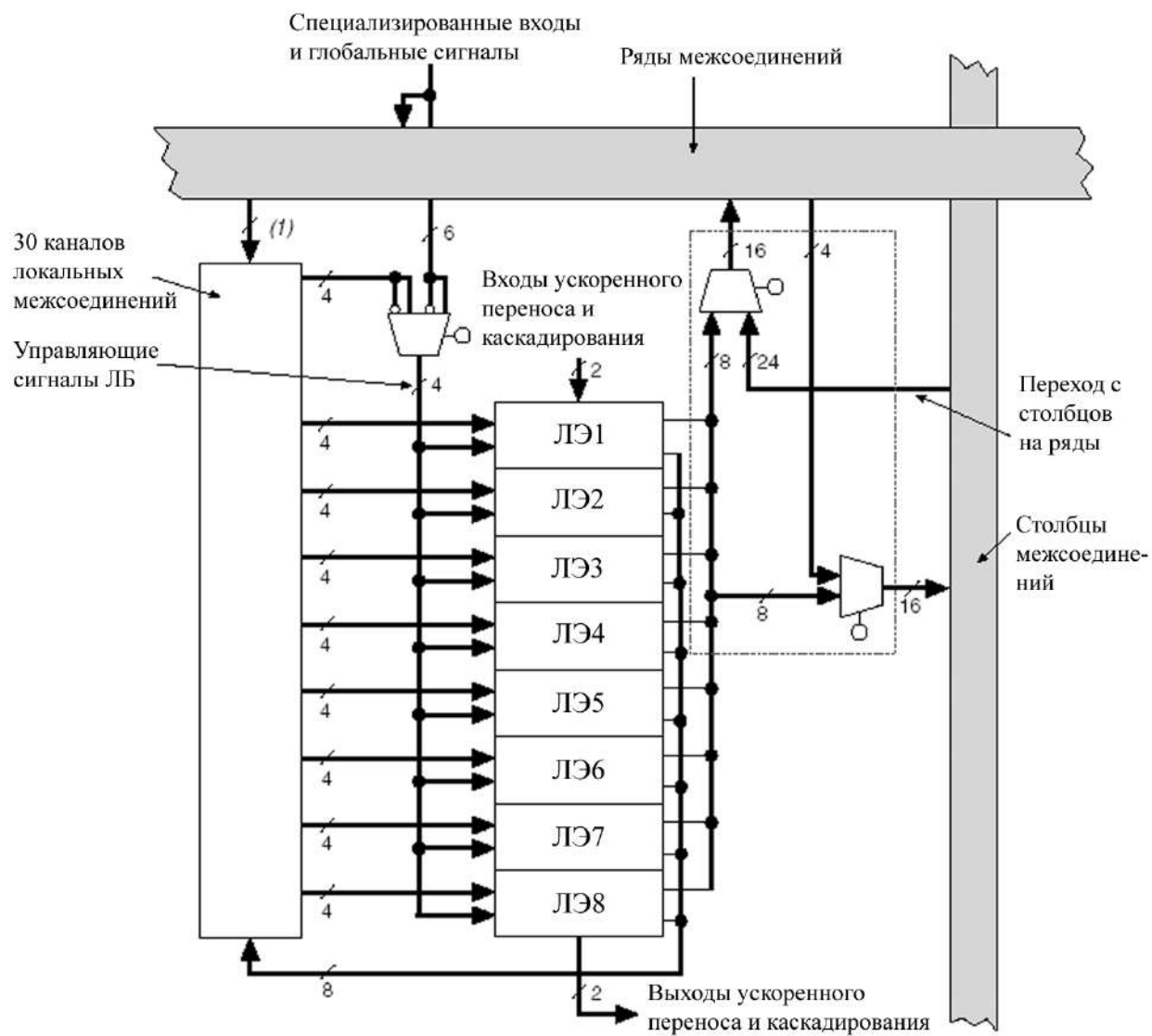


Рисунок 5 – Структурная схема логического блока

5.3. Логический элемент

ЛЭ является минимальным элементом логики, имеет компактные размеры и предоставляет эффективные средства для реализации различных логических функций. Каждый ЛЭ содержит четырехходовую таблицу преобразования (look-up table - LUT), которая представляет собой генератор функций (ГФ), способный реализовать функцию четырех переменных. ГФ четырех переменных может быть представлен как два ГФ трех переменных и мультиплексор 3 в 1. Кроме того, каждый ЛЭ содержит программируемый триггер, цепи переноса и каскадирования, а также имеет выход как на локальные межсоединения ЛБ, так и на систему глобальных межсоединений. Структурная схема ЛЭ показана на рисунке 6.

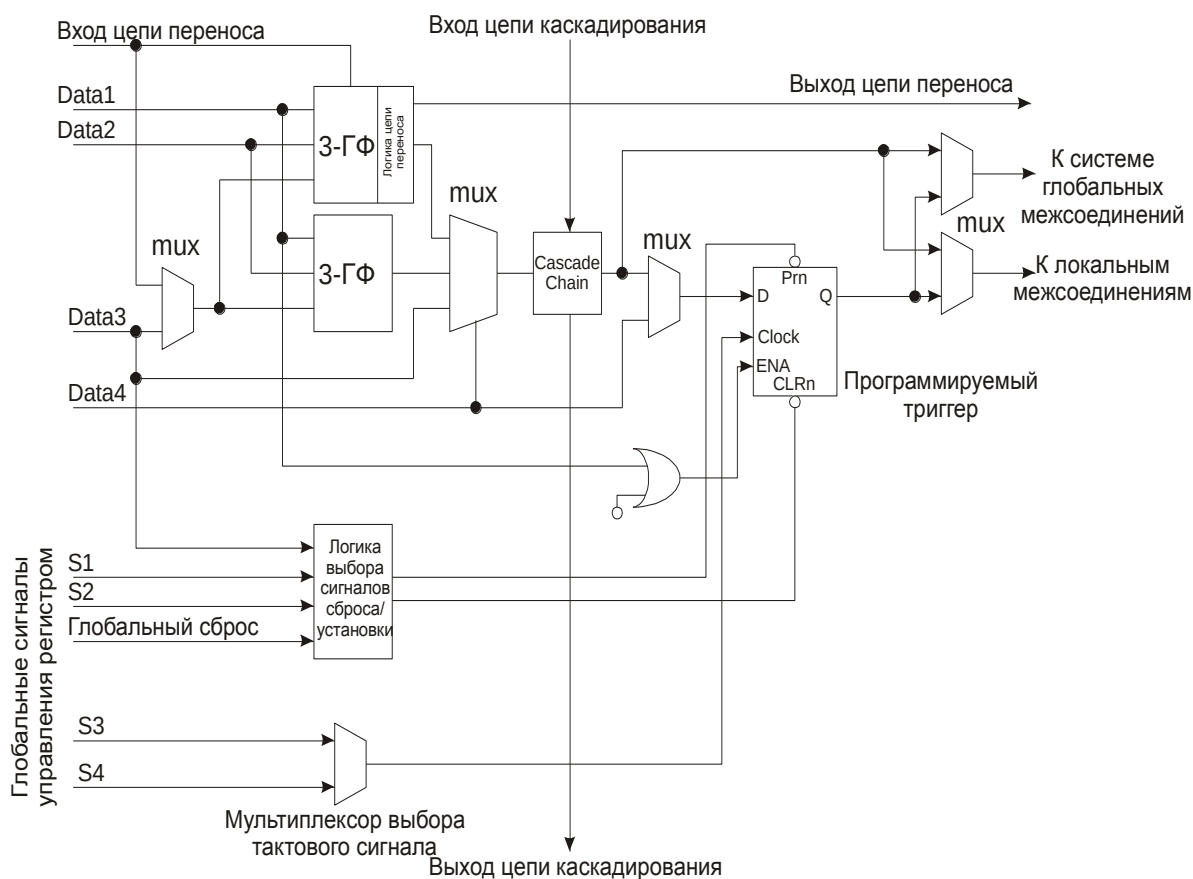


Рисунок 6 – Структурная схема логического элемента

Программируемый триггер ЛЭ может быть сконфигурирован как триггер D, T, JK или SR типа. Источником сигналов управления триггером (тактовый сигнал, сброс, установка) могут быть выделенные (специализированные) входы, сигналы с элементов ввода–вывода общего назначения или сигналы с внутренней логики. При реализации комбинаторных функций триггер не используется и сигнал с входа ГФ будет поступать на выход ЛЭ.

Цепь переноса представляет собой быстродействующую функцию переноса между ЛЭ. Эта функция позволяет реализовывать быстродействующие счетчики и сумматоры произвольной ширины.

С помощью цепи каскадирования реализуются функции, имеющие большой коэффициент объединения по входу. Соседние ЛЭ могут быть использованы для параллельного вычисления частей функции, а цепь каскадирования последовательно соединяет промежуточные результаты. Цепь каскадирования может использовать логические функции «ИЛИ» и «И» для соединения входов соседних ЛЭ. Каждый дополнительный ЛЭ добавляет четыре входа к эффективной ширине функции.

Цепи каскадирования, объединяющие более восьми ЛЭ, реализуются путем соединения либо четных, либо нечетных ЛБ в строке.

5.3.1 Режимы работы логического элемента

ЛЭ может функционировать в одном из следующих четырех режимов:

- нормальный режим;
- арифметический (счетный) режим;
- режим суммирующего/вычитающего счетчика;
- режим сбрасываемого счетчика.

Архитектура ПЛИС обеспечивает синхронный сигнал разрешения тактового сигнала Data1 во всех четырех режимах, который может быть использован для синхронного разрешения триггера.

5.3.1.1 Нормальный режим

Нормальный режим (рисунок 7) подходит для большинства логических приложений и функций декодирования, использующих преимущества цепи каскадирования. В данном режиме четыре сигнала Data1, Data2, Data3, Data4 или Data1, Data2, Data4 и сигнал с входа цепи переноса являются входными для ГФ. Сигнал с выхода ГФ может быть скомбинирован с сигналом с входа цепи каскадирования для формирования цепи каскадирования. В зависимости от состояния программируемого мультиплексора, выходным сигналом ЛЭ является либо этот комбинированный сигнал, либо выходные данные программируемого триггера.

ГФ и триггер в ЛЭ могут использоваться независимо друг от друга. Как триггер, так и ГФ могут коммутироваться с локальными и глобальными межсоединениями. Например, триггер может коммутироваться с глобальными межсоединениями, в то время как ГФ – с локальными, и наоборот.

Сигнал Data4 может быть скоммутирован непосредственно на вход триггера, позволяя ГФ вычислять функцию, независимую от сигнала на триггере. Функция трех переменных может быть задана в ГФ, а четвертый независимый сигнал может быть подан на триггер. В качестве альтернативного варианта функция четырех переменных реализуется в ГФ и один из входов ГФ является так же входом триггера.

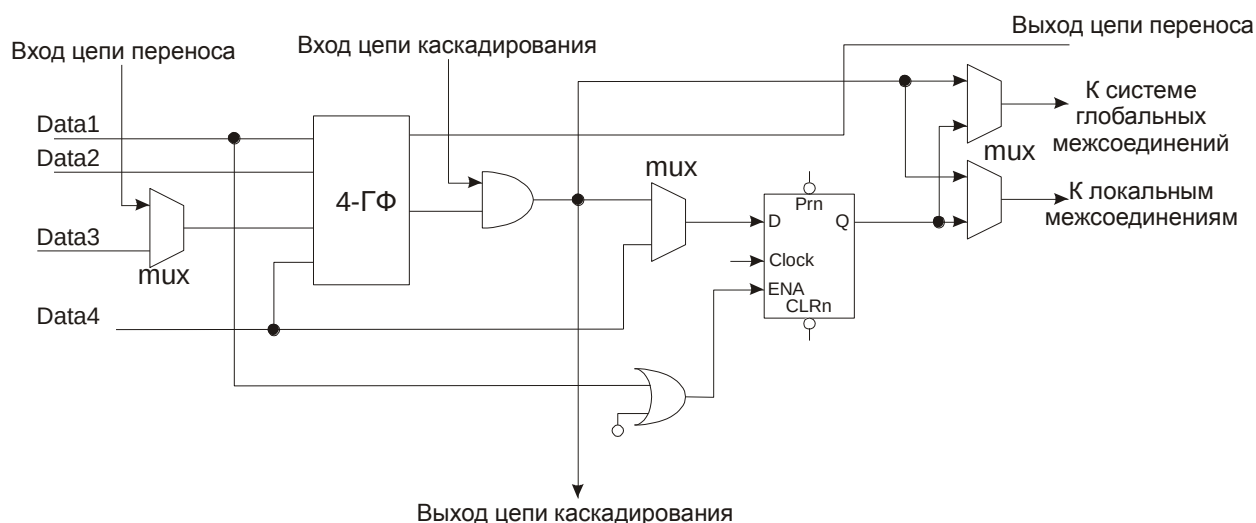


Рисунок 7 –Нормальный режим работы логического элемента

5.3.1.2 Арифметический режим

Арифметический режим (рисунок 8) предназначен для реализации сумматоров, аккумуляторов и компараторов. В данном режиме сигналы Data1, Data2 и сигнал с входа цепи переноса являются входными сигналами для двух трехвходовых ГФ, один из которых реализует функцию трех переменных, а другой формирует сигнал цепи переноса. Первый ГФ использует сигнал с входа цепи переноса и двух входов данных с СЛМ ЛБ для генерации комбинаторного или буферизованного выхода. Второй ГФ использует те же три сигнала для генерации выхода цепи переноса, создавая таким образом цепь переноса. Арифметический режим также поддерживает одновременное использование цепи каскадирования.

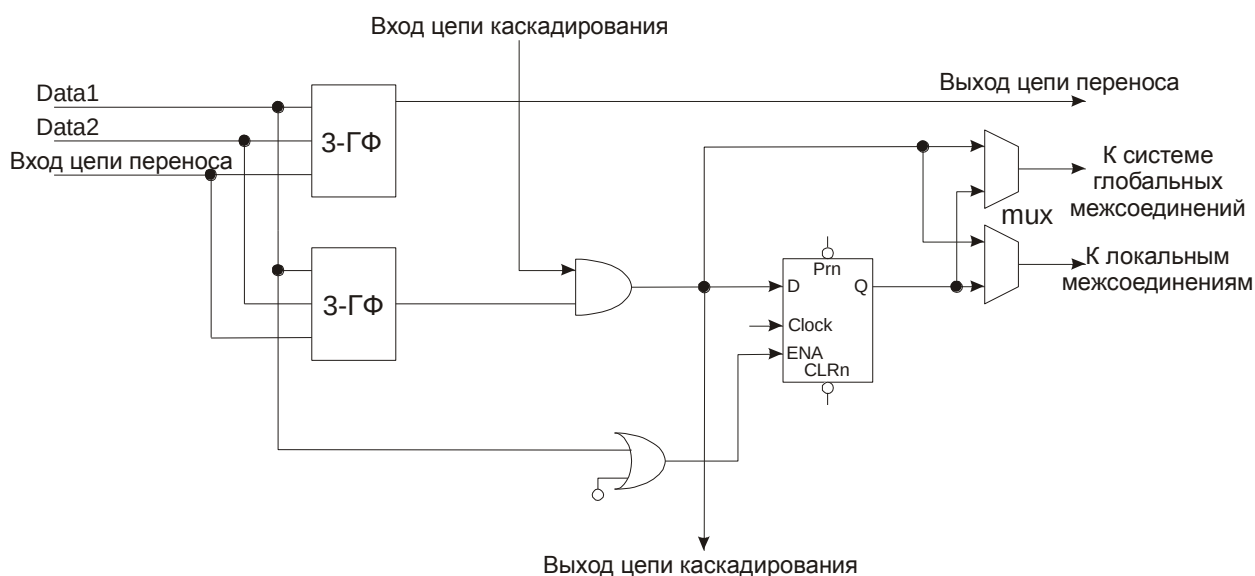


Рисунок 8 – Арифметический режим работы логического элемента

5.3.1.3 Режим суммирующего/вычитающего счетчика

В данном режиме (рисунок 9) используются два трехвходовых ГФ. Один из них формирует данные счетчика с помощью сигналов управления Data1, обратной связи триггера, входа цепи переноса. Другой формирует сигнал переноса с помощью сигналов управления обратной связи триггера, Data2, входа цепи переноса. Сигнал Data4 предназначен для реализации возможности синхронной загрузки данных. Загрузка данных может быть асинхронной без использования ресурсов ГФ с помощью сигналов сброса и установки триггера.

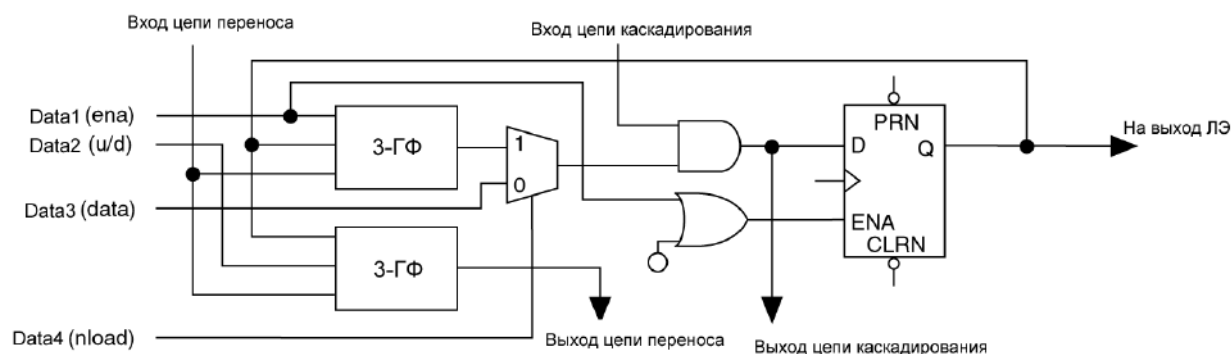


Рисунок 9 – Режим суммирующего/вычитающего счетчика

5.3.1.4 Режим сбрасываемого счетчика

Режим сбрасываемого счетчика (рисунок 10) подобен режиму суммирующего/вычитающего счетчика, но в отличие от него поддерживает синхронный сброс. Функцию сброса в режиме суммирующего/вычитающего счетчика заменяет входной сигнал цепи каскадирования.

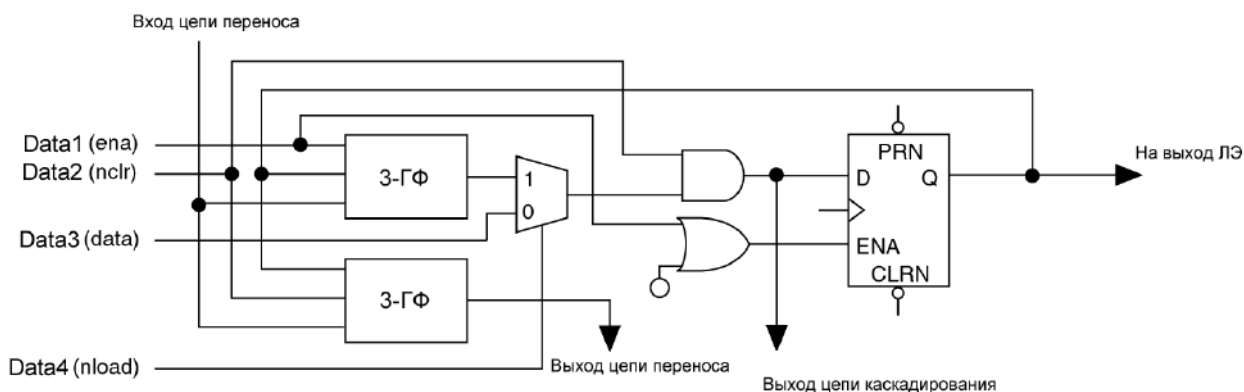


Рисунок 10 – Режим сбрасываемого счетчика

5.3.2 Управление логикой сброса и установки

Управление логикой сброса и установки программируемого триггера осуществляется с помощью сигналов Data3, S1, S2 ЛЭ и является асинхронной. Любой из сигналов S1 и S2 может выполнять асинхронный сброс и установку. Асинхронная загрузка триггера разрешается только сигналом S1, данные для загрузки принимаются с входа Data3.

Во время компиляции программным обеспечением автоматически выбирается оптимальный сигнал для выполнения требуемой функции. Так как для функции сброса и установки активным является низкий уровень, то компилятор автоматически устанавливает высокий уровень на неиспользуемые входы сброса и установки.

Логика сброса и установки выполняется в следующих шести режимах, выбираемых на стадии введения данных в проект:

- асинхронный сброс;
- асинхронная установка;
- асинхронный сброс и установка;
- асинхронная загрузка со сбросом;
- асинхронная загрузка с установкой;
- асинхронная загрузка без сброса или без установки.

Кроме того, имеется вывод глобального сброса всей микросхемы, который может сбросить все триггеры ЛЭ в устройстве. Используется эта возможность во время ввода данных в проект. В других режимах сброса и установки глобальный сброс имеет приоритет над всеми другими сигналами. Триггеры с асинхронной установкой могут быть предустановлены, когда глобальный сброс неактивен. Инверсия может быть использована для выполнения асинхронной установки. На рисунке 11 показаны режимы работы логики сброса и установки.

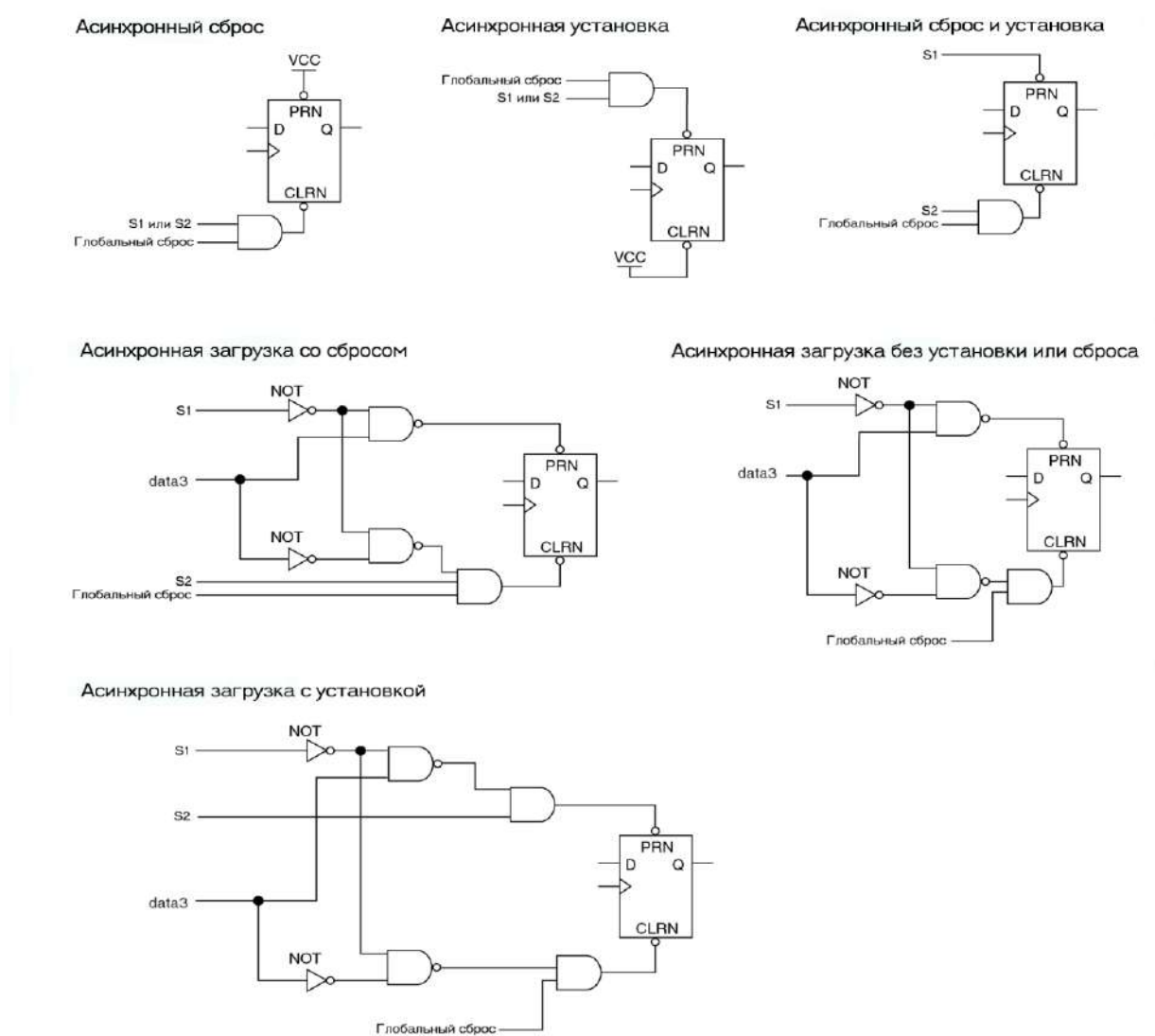


Рисунок 11 – Управление логикой сброса и установки

Асинхронный сброс триггера может быть выполнен одним из двух сигналов S1 или S2. В этом режиме сигнал установки соединён с V_{CC} .

Асинхронная установка выполняется путем асинхронной загрузки или асинхронного сброса. Если вход Data3 ЛЭ подключен к V_{CC} , то активный сигнал на S1 асинхронно загружает единицу в триггер. Кроме того, с помощью программного обеспечения можно проводить установку за счёт использования сброса и инвертирования входа и выхода триггера. Если установка триггера проводится одним из двух сигналов S1 или S2, то вход Data3 ЛЭ освобождается и может использоваться для одного из режимов ЛЭ.

Когда выполняются асинхронные сброс и установка, сигнал S1 управляет установкой, а сигнал S2 – сбросом. В этом случае вход Data3 ЛЭ подключен к V_{CC} , активный сигнал на S1 асинхронно загружает единицу в триггер, активный сигнал на S2 производит сброс.

Когда выполняется асинхронная загрузка со сбросом, сигнал S1 управляет асинхронной загрузкой с входа Data3 и контролирует сброс триггера. Активный сигнал на S2 может производить сброс триггера, но не может управлять его загрузкой.

Когда выполняется асинхронная загрузка вместе с установкой, программное обеспечение предоставляет управление установкой за счёт использования сброса и инвертирования входа и выхода триггера. Активный сигнал на S2 производит установку триггера, а сигнал на S1 – управляет загрузкой триггера. Программное обеспечение инвертирует сигнал, который приходит на Data3 вместе с инверсией выхода триггера.

Когда выполняется асинхронная загрузка без установки или без сброса триггера, сигнал S1 выполняет асинхронную загрузку с входа Data3 и контролирует сброс и установку триггера.

5.4 Система межсоединений

В архитектуре ПЛИС связи между ЛЭ и элементами ввода–вывода осуществляются посредством Fast Track соединений (горизонтальных (рядов) и вертикальных (столбцов)), которые связывают устройство в единое целое. Каждый из десяти рядов содержит 216 каналов, каждый из 36 столбцов – 24 канала. При такой структуре трассировки ЛЭ соединяются друг с другом при помощи одного из каналов, что обеспечивает фиксированную задержку даже при реализации сложных проектов. Каждый ряд ЛБ обслуживается определённым рядом межсоединений. Ряд межсоединений может выдавать сигналы на элементы ввода–вывода и другие ЛБ в устройстве. Столбцы межсоединений проводят сигналы между рядами и могут выдавать сигналы на элементы ввода–вывода.

Ряд межсоединений (набор горизонтальных каналов) может принимать сигналы с ЛЭ или одного из трёх столбцов межсоединений (вертикальных каналов). Эти четыре сигнала приходят на двойные мультиплексоры 4 в 1, которые присоединены к двум специальным рядам каналов. Эти мультиплексо-

ры соединены с каждым ЛЭ и позволяют сигналам с вертикальных каналов (столбцов межсоединений) приходить на горизонтальные (ряды). На все восемь ЛЭ в ЛБ сигналы приходят только с горизонтальных каналов системы межсоединений.

Каждый столбец ЛБ обслуживается определенным столбцом межсоединений. Столбец межсоединений может передавать сигналы на элементы ввода–вывода или ряды межсоединений для их последующей передачи другим ЛБ в устройстве. Сигнал из столбца межсоединений, который может быть либо выходным с ЛЭ, либо входным с элемента ввода–вывода, должен быть перенесён в строку межсоединений перед тем, как он войдёт в ЛБ или в БВП. Каждый ряд межсоединений, который принимает сигналы с элемента ввода–вывода или БВП, может выдавать сигналы на один определённый столбец межсоединений (рисунок 12).

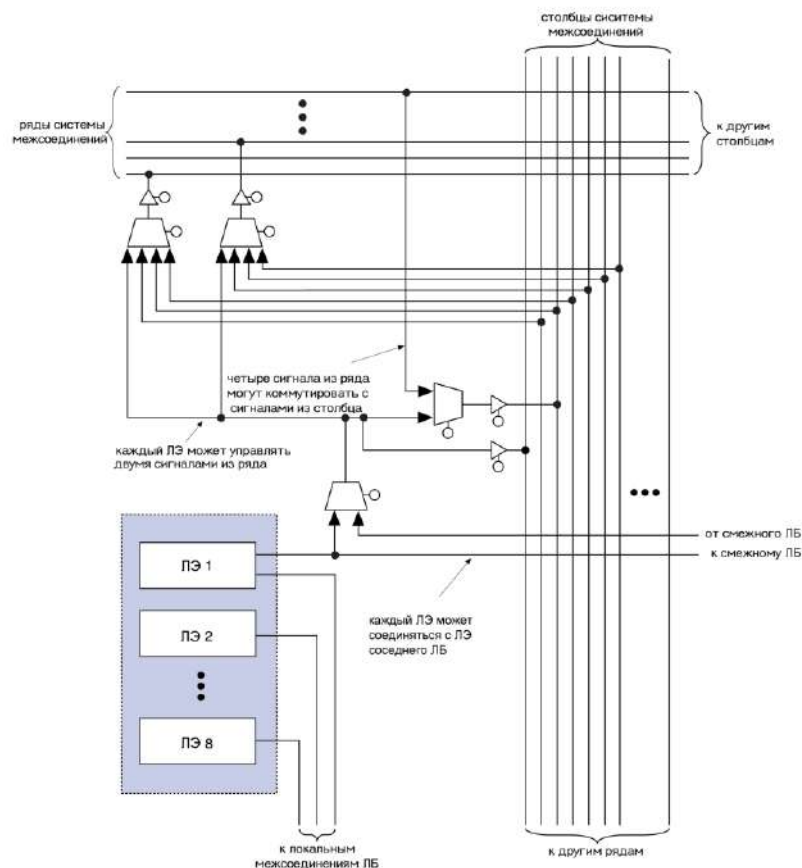


Рисунок 12 – Подключение ЛБ к столбцам и рядам системы межсоединений

Для усовершенствования трассировки ряды межсоединений включают в себя комбинацию полной и половинной длины каналов. Полные длины каналов соединяют все ЛБ в ряду, половинные длины соединяют ЛБ половины ряда. БВП могут принимать сигналы с каналов с полными длинами и с половинными длинами в левой половине ряда. БВП могут подавать сигналы на каналы с полной длиной. Два соседних ЛБ могут быть соединены за счёт использования половины канала, при этом сохраняется другая половина канала для другой половины ряда.

Кроме элементов ввода–вывода общего назначения ПЛИС имеет шесть зарезервированных входов, которые обеспечивают прохождение сигналов с малым наклоном фронта по всему устройству. Эти шесть выделенных входов могут быть использованы для глобального тактирования, сброса, установки и периферийных сигналов управления третьим состоянием и такта. Эти входы разрешают доступ к управляющим сигналам всех ЛБ и элементов ввода–вывода в устройстве.

Выделенные входы можно использовать в качестве входов данных общего назначения, так как они могут быть скоммутированы с сигналами локальных межсоединений каждого ЛБ в устройстве.

На рисунке 13 показано каким образом ЛБ связаны с рядами и столбцами межсоединений, а так же связь ЛБ по цепям каскадирования и переноса. Каждый ЛБ помечен соответственно своему месторасположению: буквы латинского алфавита (A, B, C, D, E, F, G, H, I, J) обозначают ряд, а номер (1–36) – столбец. Например, ЛБ В3 находится в ряду В, в столбце 3.

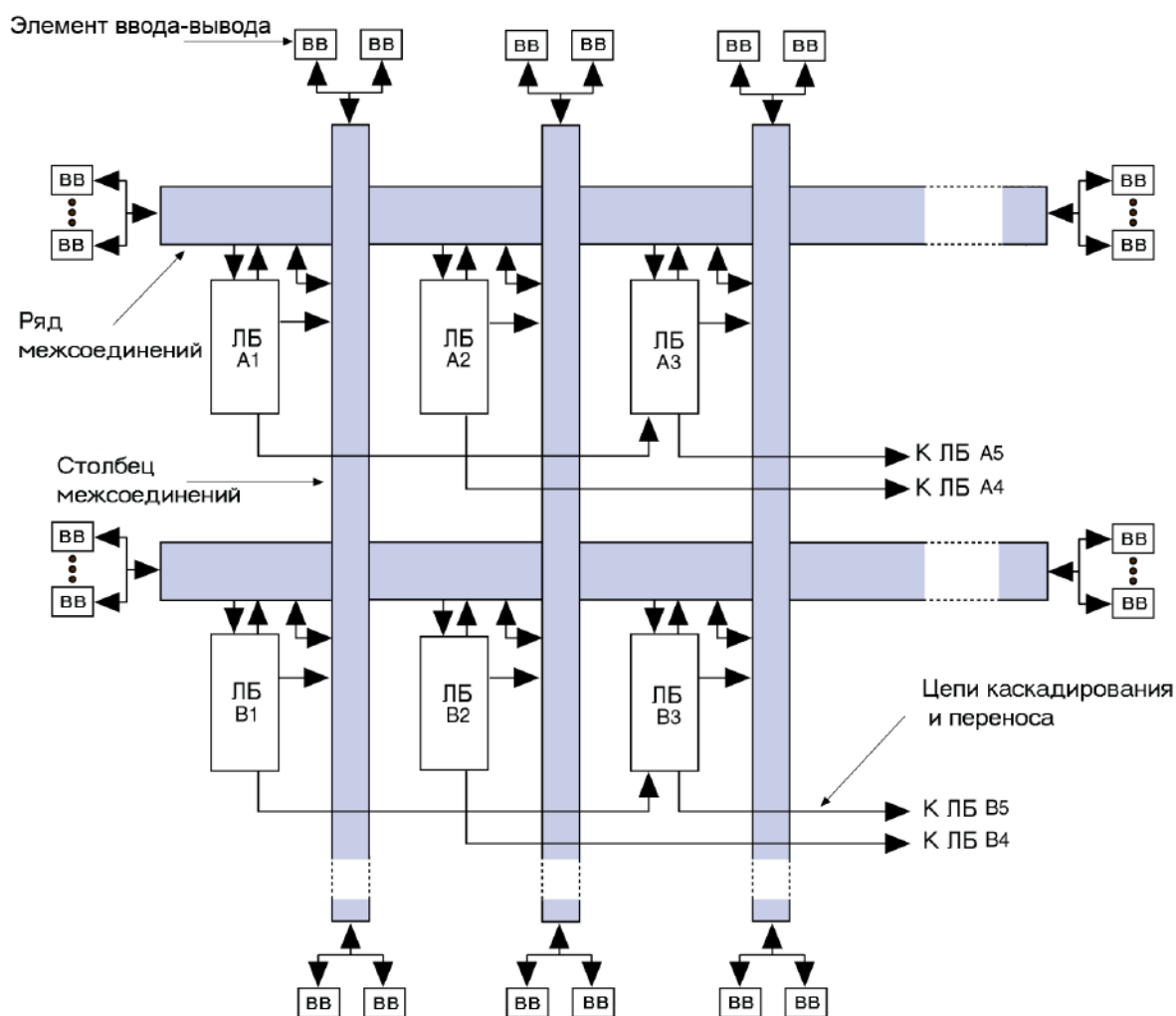


Рисунок 13 – Структура системы межсоединений

5.5 Элемент ввода-вывода

Для сопряжения внутренней части ПЛИС с логическими микросхемами используется элемент ввода-вывода. Он содержит двунаправленный буфер и триггер, который можно использовать как входной регистр для внешних данных с малым временем предустановки или как выходной регистр с малой задержкой от тактового входа до выхода. В некоторых случаях в качестве входного регистра используется регистр ЛЭ, так как он имеет меньшее время предустановки, чем регистр элементов ввода-вывода. Каждый элемент ввода-вывода может быть сконфигурирован как вход, выход или двунаправленный вход-выход. Схема элемента ввода-вывода приведена на рисунке 14.

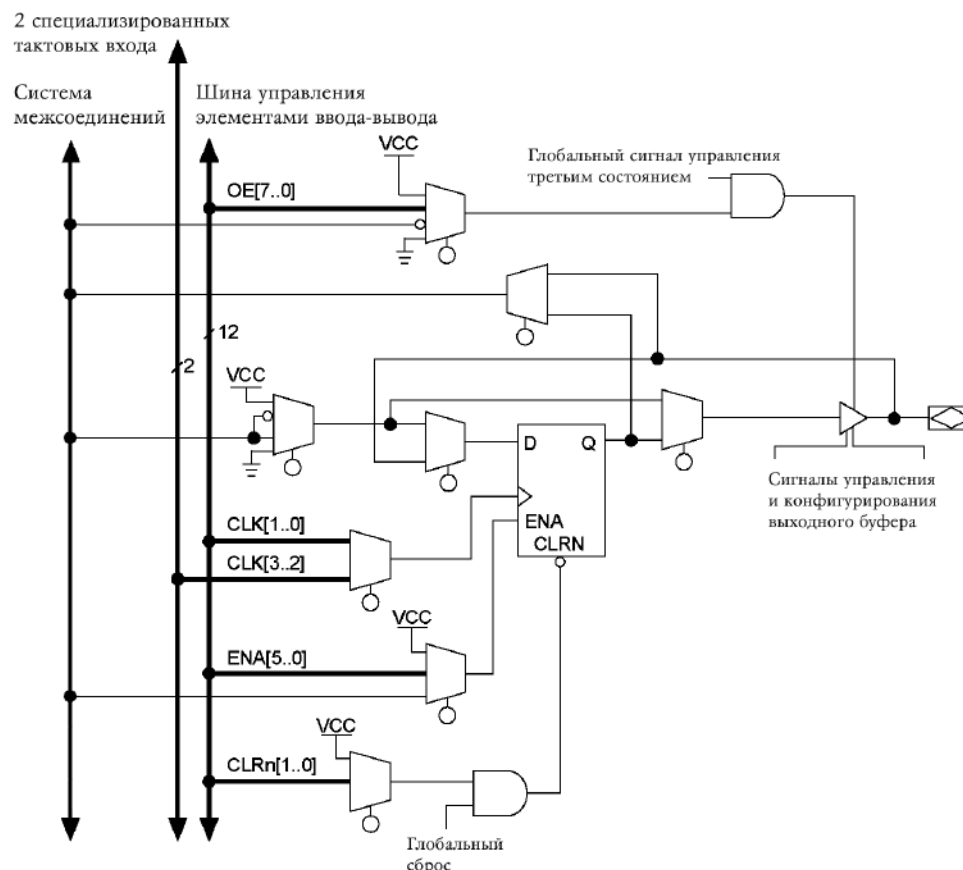


Рисунок 14 – Схема элемента ввода-вывода

Для каждого элемента ввода-вывода имеется тактовый сигнал, сигнал сброса, сигнал разрешения тактирования и управления третьим состоянием из схемы управляющих сигналов ввода-вывода, называемых периферийными шинами управления. Периферийные шины управления используют высокоскоростные формирователи для минимизации фронтов сигналов, которые идут через всё устройство. Эти шины включают 12 периферийных управляющих сигналов, которые можно разделить следующим образом:

- до восьми сигналов управления третьим состоянием;
- до шести сигналов разрешения тактового сигнала;
- до двух тактовых сигналов;
- до двух сигналов сброса.

В дополнение к двум тактовым сигналам, имеющимся на периферийных шинах управления, каждый элемент ввода-вывода может управляться одним или двумя выделенными тактовыми входами. Каждый периферийный сигнал

управления может приходить с любого выделенного входа или с первого ЛЭ каждого ЛБ в каждом отдельном ряду. В тоже время другие ЛЭ могут подавать сигналы через столбец межсоединений на периферийные шины управления. Сигнал глобального сброса будет сбрасывать все триггеры элементов ввода–вывода независимо от значения других контрольных сигналов.

В таблице 8 перечислены периферийные сигналы управления и ряды, управляющие глобальными сигналами.

Таблица 8

Периферийный сигнал управления	Ряд управляющий глобальным сигналом
OE0	RowA
OE1	RowB
OE2	RowD
OE3	RowF
OE4	RowH
OE5	RowJ
CLKENA0/CLK0/GLOBAL0	RowA
CLKENA1/OE6/GLOBAL1	RowC
CLKENA2/CLR0	RowE
CLKENA3/OE7/GLOBAL2	RowG
CLKENA4/CLR1	RowI
CLKENA5/CLK1/GLOBAL3	RowJ

5.5.1 Соединение элементов ввода–вывода с горизонтальными каналами

На рисунке 15 показана связь между элементами ввода–вывода и рядом межсоединений. Когда элемент ввода–вывода используется в качестве входа, то он может управлять двумя каналами ряда, которые доступны всем ЛЭ данного ряда. Когда элемент ввода–вывода используется как выход, то сигнал подводится через мультиплексор, который выбирает канал из ряда. К каждому ряду межсоединений подключено до пяти элементов ввода–вывода с каждой стороны кристалла.

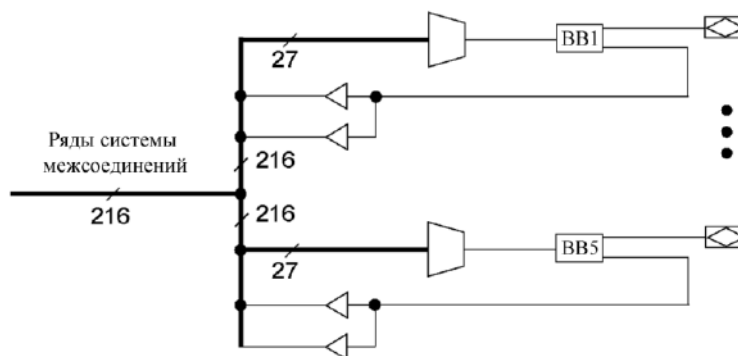


Рисунок 15 – Коммутация элементов ввода–вывода и ряда межсоединений

5.5.2 Соединение элементов ввода–вывода с вертикальными каналами

На рисунке 16 показано соединение между вертикальным столбцом межсоединений и элементами ввода–вывода. К каждому вертикальному столбцу межсоединений подключено по два элемента ввода–вывода с верхней и нижней сторон кристалла. Когда элемент ввода–вывода используется в качестве входа, то он может управлять двумя отдельными каналами столбца. Когда элемент ввода–вывода используется как выход, то сигнал подводится через мультиплексор, который выбирает канал из столбца.

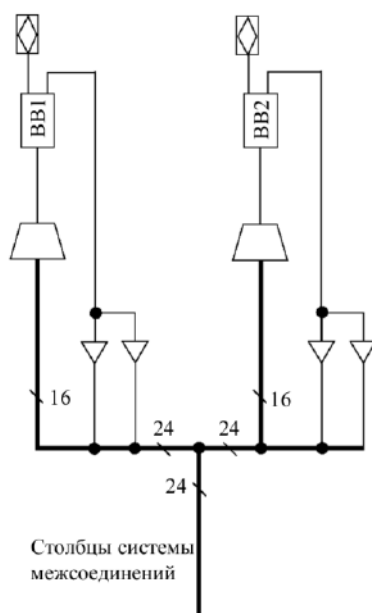


Рисунок 16 – Коммутация элементов ввода–вывода и столбца межсоединений

5.5.3 Контроль скорости нарастания выходного напряжения

Выходные буферы в каждом элементе ввода–вывода имеют регулируемую скорость изменения выходного напряжения. Возможна настройка выходного буфера под малошумящее или высокоскоростное исполнение. Понижение скорости изменения выходного напряжения уменьшает помехи по шинам питания и приводит к увеличению времени задержки. Большую скорость изменения выходного напряжения следует использовать для критических цепей в системе в достаточной мере защищенной от помех. Установка низкой скорости изменения выходного напряжения влияет только на спадающий (задний) фронт выходного сигнала.

5.5.4 Выход с открытым стоком

ПЛИС позволяют использовать выход с открытым стоком (электрический эквивалент открытого коллектора) в любом элементе ввода–вывода. Выход с открытым стоком даёт возможность устройству обеспечивать сигналы контроля системного уровня (такие как сигнал прерывания, сигнал разрешения записи), которые могут быть установлены несколькими устройствами. Это также даёт дополнительную возможность реализации логической схемы типа монтажного «ИЛИ». К тому же программное обеспечение ф. Altera может конвертировать буферы с третьим состоянием и с заземленными входами данных в выводы с открытым стоком автоматически.

Выходы ПЛИС с открытым стоком могут управлять 5 В КМОП – входами других микросхем, если использовать внешние резисторы, подключенные к источнику напряжения 5 В. Когда выход с открытым стоком активен, то сигнал будет низкого уровня. Когда выход не активен, то уровень сигнала будет вытягиваться до 5 В внешним резистором. Выход с открытым стоком может находиться или в третьем состоянии, или выдавать только сигнал низкого уровня.

5.6 Поддержка периферийного сканирования

ПЛИС поддерживают схему теста периферийного сканирования JTAG BST, которая удовлетворяет техническим требованиям стандарта IEEE Std. 1149.1-1990. ПЛИС также могут быть сконфигурированы через JTAG выводы при помощи загрузочного кабеля BitBlaster, ByteBlasterMV, MasterBlaster или с помощью аппаратного обеспечения, которое использует язык Jam™ для программирования и тестирования. JTAG тестирование может быть выполнено до или после конфигурирования, но не во время него.

Архитектура схемы периферийного сканирования (СПС) позволяет тестировать соединения между выводами ПЛИС без проведения физических измерений и фиксировать функциональные данные, пока устройство функционирует нормально. Ячейка СПС может перегружать сигналы на выводах или захватывать данные с выводов или сигналы внутренней логики (ядра ПЛИС). Перегружаемые тестовые данные последовательно сдвигаются через ячейки СПС, захваченные данные последовательно выводятся из схемы и сравниваются с ожидаемым результатом. СПС ПЛИС соответствует техническим требованиям стандарта IEEE Std. 1149.1-1990. Рисунок 17 показывает принцип работы СПС.

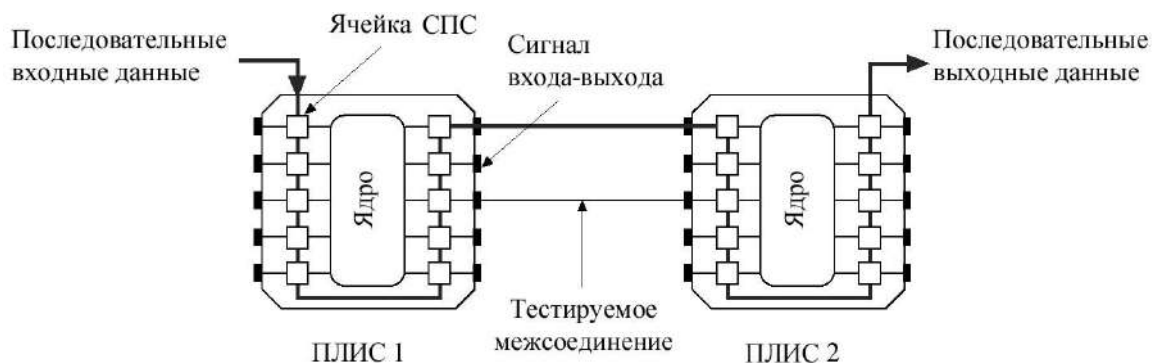


Рисунок 17 – Принцип работы схемы периферийного сканирования

JTAG интерфейс ПЛИС реализован с помощью пяти выводов TDI, TDO, TMS, TCK и TRST. Описание и назначение этих выводов приведено в таблице 9.

Таблица 9

Вывод	Описание	Назначение
TDI	Вход данных JTAG	Последовательный вход данных для тестирования и программирования. Данные захватываются по переднему фронту сигнала TCK.
TDO	Выход данных JTAG	Последовательный выход данных для тестирования и программирования. Данные выводятся по заднему фронту сигнала TCK. Когда выход не используется, он переключается в третье состояние.
TMS	Управление состоянием JTAG	Вход управляющего сигнала, который определяет переходы автомата состояний TAP – контроллера. Сигнал TMS должен быть установлен до срабатывания переднего фронта TCK.
TCK	Тактовый вход JTAG	Вход тактового сигнала. Некоторые операции совершаются по переднему фронту этого сигнала, другие – по заднему.
TRST	Асинхронный сброс JTAG	Вход асинхронного сброса в режиме тестирования с активным низким уровнем.

5.6.1 Функциональная модель СПС

Работа СПС управляется блоком управления тестированием (TAP – контроллером). Сигналы с входов TMS, TRST и TCK управляют TAP – контроллером, выводы TDI и TDO осуществляют ввод и вывод данных в регистры. Кроме того вход TDI обеспечивает ввод данных в регистр команд, который затем формирует управляющие сигналы для регистров данных. Функциональная схема СПС приведена на рисунке 18.

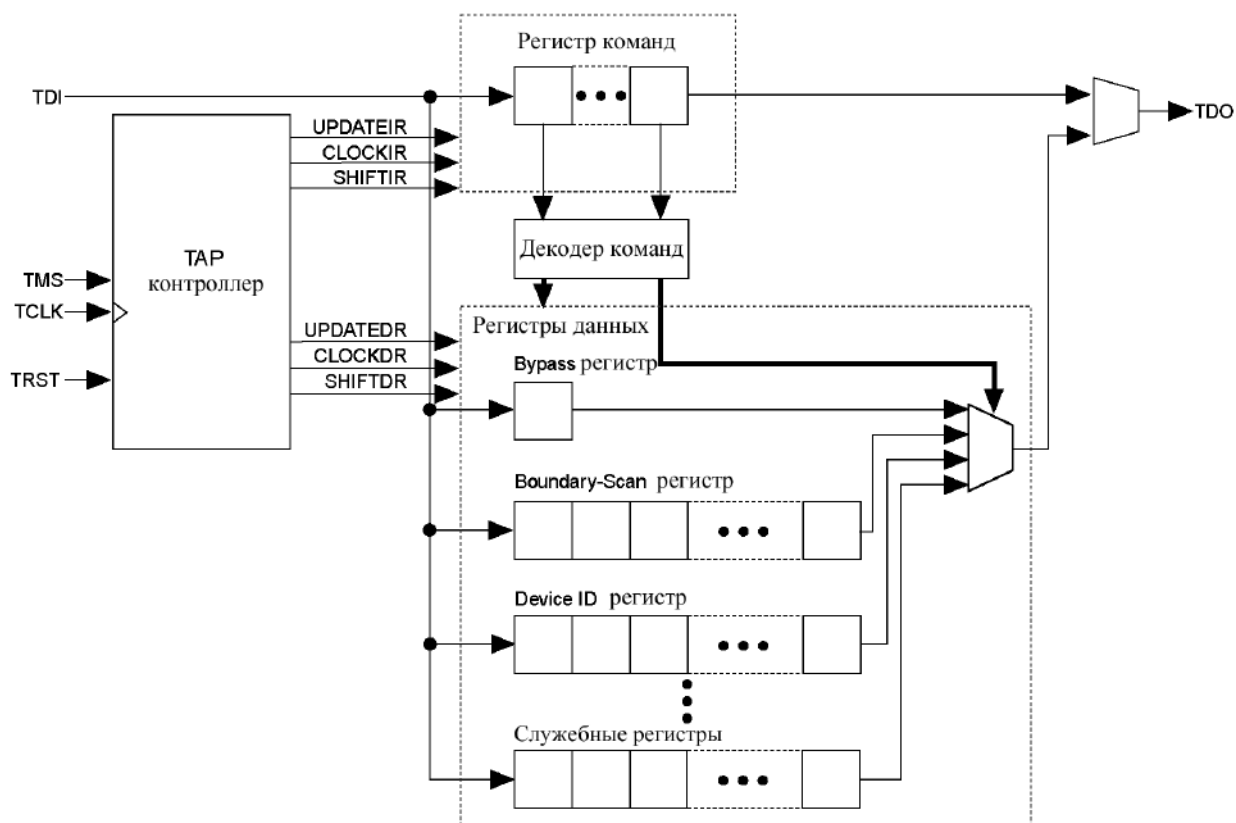


Рисунок 18 – Функциональная схема периферийного сканирования

ПЛИС поддерживает команды СПС, показанные в таблице 10.

Таблица 10

JTAG команды	Описание
SAMPLE/PRELOAD	Позволяет снимать сигналы на выводах устройства, захватывать и проверять их во время нормального режима работы устройства.
EXTEST	Позволяет проверить соединения внешней схемы на уровне плат.
BYPASS	Выбирает 1 бит bypass-регистра.
USERCODE	Выбирает регистр USERCODE.
IDCODE	Выбирает регистр IDCODE.
ICR команды	Эти команды применяют, когда конфигурируют ПЛИС через JTAG порт с использованием загрузочного кабеля или с помощью микропроцессора и Jam (.jam) или Jam Byte-Code (.jbc) файлов.

Длина регистра периферийного сканирования ПЛИС составляет 960 бит, длина регистра команд – 10 бит, длина регистра USERCODE – 32 бита (7 бит определяются пользователем, а 25 бит заранее установлено). В таблице 11 приведена информация о регистре IDCODE для ПЛИС.

Таблица 11

Версия (4 бита) ¹⁾	Шифр, (16 бит) ¹⁾	Идентификация (11 бит) ¹⁾	1 (1 бит) ²⁾
0000	0001 0000 0101 0000	00001101110	1
¹⁾ Наибольший значащий бит (MSB) слева. ²⁾ Наименьший значащий бит (LSB) для всех JTAG IDCODE это 1.			

На рисунке 19 приведена временная диаграмма работы ПЛИС по JTAG – схеме.

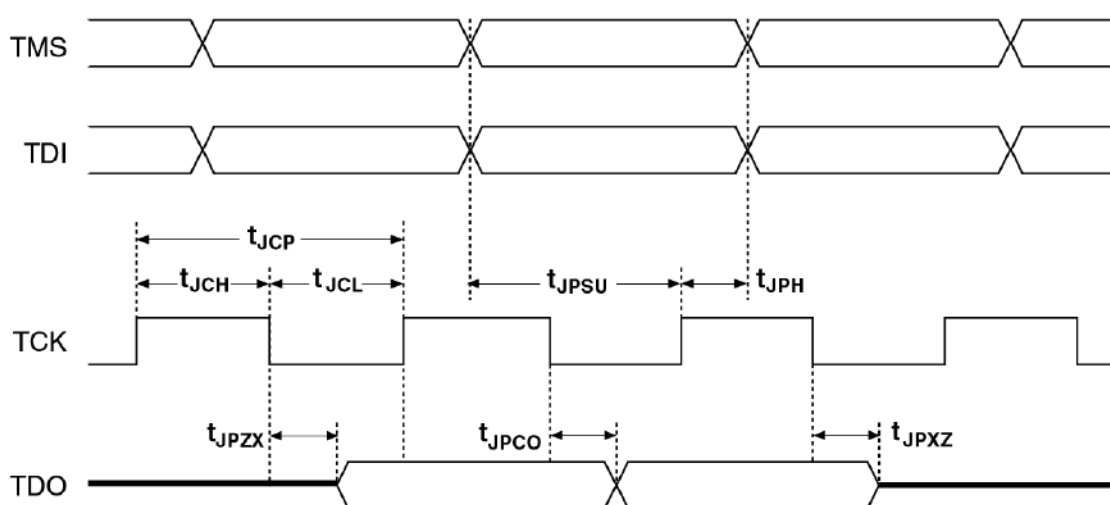


Рисунок 19 – Временная диаграмма работы ПЛИС по JTAG – схеме

В таблице 12 приведены временные параметры и их значения для работы ПЛИС по JTAG – схеме.

Таблица 12

Обозначение	Параметр	Значение	
		не менее, нс	не более, нс
t_{JCP}	Период тактового сигнала TCK	100	—
t_{JCH}	Длительность импульса высокого уровня сигнала TCK	50	—
t_{JCL}	Длительность импульса низкого уровня сигнала TCK	50	—
t_{JPSU}	Время предустановки данных TMS и TDI перед передним фронтом TCK	20	—
t_{JPH}	Время удержания данных TMS и TDI после переднего фронта TCK	45	—
t_{JPCO}	Время между задним фронтом сигнала TCK и переключением TDO	—	25
t_{JPZX}	Время между задним фронтом сигнала TCK и переключением TDO в активное состояние	—	25
t_{JPXZ}	Время между задним фронтом сигнала TCK и переключением TDO в третье состояние	—	25

5.6.2 Архитектура Boundary–Scan регистра

Boundary–Scan регистр представляет последовательный сдвиговый регистр, который использует сигнал TDI как входной и сигнал TDO как выходной. Boundary–Scan регистр состоит из трехбитовых периферийных элементов от каждого элемента ввода–вывода, выделенного (специализированного) входа и служебного (конфигурационного) вывода. Boundary–Scan регистр используется для тестирования соединений внешних выводов или для захвата внутренних данных. На рисунке 20 показано как тестовые данные последовательно сдвигаются по периферии ПЛИС.

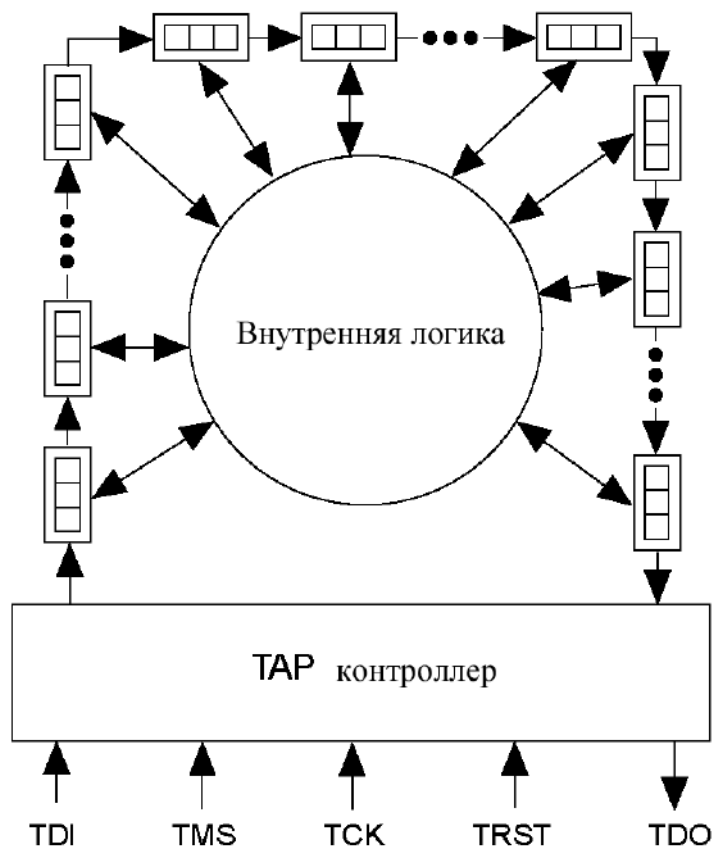


Рисунок 20 – Архитектура Boundary–Scan регистра

6 Тестирование

Каждая ПЛИС проходит цикл функционального тестирования. Полное тестирование каждого бита конфигурационной памяти (СОЗУ) и всей функциональной логики гарантирует 100 % годность ПЛИС.

7 Расчет мощности потребления ПЛИС

Полная мощность потребления ПЛИС P , мкВт, рассчитывается по формуле

$$P = P_{INT} + P_{IO},$$

где P_{INT} – мощность потребления ядра ПЛИС, мкВт;

P_{IO} – мощность потребления периферии ПЛИС, расходуемая на внешнюю нагрузку, мкВт.

Мощность потребления ядра ПЛИС P_{INT} можно рассчитать по формуле

$$P_{INT} = (I_{CC} + I_{AC}) \times U_{CC},$$

где I_{CC} – ток потребления ПЛИС в статическом режиме без учета внешней нагрузки, мкА, (таблица 2);

I_{AC} – ток потребления ПЛИС в динамическом режиме без учета внешней нагрузки, мкА;

U_{CC} – напряжение питания ПЛИС, В (таблица 3).

I_{AC} , мкА, вычисляется по формуле

$$I_{AC} = K \times f_{Cmax} \times N \times \log_{LC},$$

где K – константа для каждого типа прибора, мкА/МГц (для ПЛИС 5576XC1T и 5576XC1T1 константа $K=19$ мкА/МГц);

f_{Cmax} – максимальная частота следования импульсов тактового сигнала, МГц;

N – количество используемых логических ячеек;

$\log_{LC}$ – средняя доля переключаемых логических ячеек в каждом такте, определяемая проектом (типовое значение 0,125).

Мощность потребления периферии ПЛИС P_{IO} зависит от нагрузок, подключенных к внешним выводам ПЛИС.

$$P_{IO} = P_{DCIO} + P_{ACIO},$$

где P_{DCIO} – мощность, расходуемая на постоянную нагрузку периферии ПЛИС, например подключенные резисторы между периферийными выводами и питанием или общим выводом, мкВт;

P_{ACIO} – мощность, расходуемая на динамическую нагрузку периферии ПЛИС, т.е. на перезаряд нагрузочных емкостей, подключенных к внешним выводам, мкВт.

$$P_{DCIO} = \sum P_{DCIO_n},$$

где P_{DCIO_n} – мощность, расходуемая на постоянную нагрузку одного периферийного выхода ПЛИС. Ориентировочные значения P_{DCIO_n} для различных типов нагрузки приведены в таблице 13.

Таблица 13

Тип нагрузки	P_{DCIO_n} , мкВт
Резистор 1кОм к выводу питания	133
Резистор 1кОм к общему выводу	308
Вход биполярной микросхемы	160
Вход КМОП микросхемы	0

P_{ACIO} , мкВт, зависит от емкости нагрузки и частоты переключения выходов

$$P_{ACIO} = 0,5 \times N_{IO} \times C_n \times f_{Cmax} \times \log_{IO} \times U_{CC}^2,$$

где N_{IO} – количество используемых периферийных выходов;

C_n – средняя емкость внешней нагрузки на периферийный выход, пФ;

$\log_{IO}$ – средняя доля переключаемых выходов в каждом такте, определяемая проектом (типовое значение 0,125).

Пример расчета:

$$K = 19 \text{ мкА/МГц}; f_{Cmax} = 10 \text{ МГц}; N = 2000; \log_{LC} = 0,125.$$

Имеем

$$I_{AC} = 19 \times 10 \times 2000 \times 0,125 = 47500 \text{ мкА};$$

$$P_{INT} = (15000 + 47500) \times 3,3 = 206250 \text{ мкВт};$$

$N_{IO} = 100$; $\log_{IO} = 0,125$; нагрузки: $C_n = 35$ пФ и 50 резисторов, подключенных к питанию.

$$P_{DCIO} = 133 \times 50 = 6650 \text{ мкВт};$$

$$P_{ACIO} = 0,5 \times 100 \times 35 \times 10 \times 0,125 \times (3,3)^2 = 23821,875 \approx 23822 \text{ мкВт};$$

$$P_{IO} = 6650 + 23822 = 30472 \text{ мкВт};$$

$$P = 206250 + 30472 = 236722 \text{ мкВт} \approx 0,24 \text{ Вт}.$$

Приведенные вычисления предоставляют приблизительную оценку мощности, рассеиваемой ПЛИС.