

Содержание

1	Введение.....	3
2	Основные технические характеристики ПЛМ.....	3
3	Условное графическое обозначение и назначение выводов ПЛМ.....	8
4	Конструктивные особенности ПЛМ	20
4.1	Логический блок.....	22
4.2	Логический элемент.....	23
4.2.1	Режимы работы логического элемента.....	24
4.2.2	Сброс и установка программируемого триггера логического элемента.....	26
4.3	Блок встроенной памяти.....	28
4.4	Система межсоединений.....	29
4.5	Элемент ввода-вывода.....	32
4.5.1	Соединение элементов ввода-вывода с горизонтальными каналами.....	35
4.5.2	Соединение элементов ввода-вывода с вертикальными каналами.....	36
4.5.3	Контроль скорости нарастания выходного напряжения.....	36
4.5.4	Выход с открытым стоком.....	36
4.6	Блок JTAG.....	37
4.7	Система периферийного сканирования.....	38
5	Расчет рассеиваемой мощности ПЛМ.....	40

Подп. и дата	
Инв. № дубл.	
инв. №	
Подп. и дата	

Инв. № подл.	
--------------	--

1 Введение

Настоящее техническое описание содержит технические характеристики и описание конструкции энергонезависимой радиационно-стойкой однократно программируемой пользователем логической матрицы (ПЛМ) 5576ХС7Т типовой логической ёмкостью 30 тысяч вентилях (45 312 системных вентилях).

ПЛМ не имеет функционального аналога.

Ячейки конфигурационной памяти ПЛМ 5576ХС7Т содержат радиационно-стойкие однократно программируемые на основе электрического разрушения (пробоя) диэлектрика элементы, которые позволяют сохранить конфигурацию микросхемы при отключении напряжения питания и воздействии специальных факторов.

ПЛМ имеет следующие основные режимы функционирования:

- режим отладки проекта, в котором возможно многократно конфигурировать ПЛМ по интерфейсу JTAG;
- режим однократного программирования ПЛМ;
- рабочий режим, в котором ПЛМ функционирует после процесса однократного программирования конфигурационной памяти в соответствии с разработанным пользователем проектом.

В рабочем режиме при выключении питания конфигурация ПЛМ сохраняется. В рабочем режиме ПЛМ удовлетворяет требованиям к техническим характеристикам по стойкости к воздействию механических, климатических, биологических факторов, специальных сред и специальных факторов, указанным в технических условиях.

ПЛМ имеет бит секретности для защиты от несанкционированного доступа к содержанию конфигурационной памяти, который запрещает вывод данных из неё на внешние устройства.

Для создания проектов используется САПР ф. Altera MAX+PLUS II или Quartus II (не позднее версии 8.1).

2 Основные технические характеристики ПЛМ

Основные функциональные параметры ПЛМ приведены в таблице 1.

Подп. и дата	
Инв. № дубл.	
инв. №	
Подп. и дата	

Инв. № подл.	
--------------	--

Таблица 1 – Основные функциональные параметры ПЛМ

Параметр	Значение
Типовая логическая ёмкость, вентиляей	30000
Количество системных вентиляей	45 312
Количество логических элементов	1728
Количество логических блоков	216
Объём встроенной памяти, бит	24576
Количество блоков встроенной памяти	6
Общее количество триггеров	1898
Количество триггеров в логическом блоке	8
Количество триггеров в пользовательском элементе ввода-вывода	1
Количество программируемых элементов ввода-вывода	170
Количество выделенных входов	4
Количество глобальных тактовых входов	2
Число портов интерфейса JTAG	1

Кристаллы ПЛМ изготовлены по КМОП-технологии с минимальными проектными нормами 0,18 мкм, с одним уровнем поликремния и шестью уровнями металлизации.

Номинальное значение напряжения питания ядра ПЛМ – плюс 1,8 В. Допустимые отклонения напряжения питания ядра ПЛМ от номинального $\pm 5\%$.

Номинальное значение напряжения питания периферии (входных и выходных буферов) ПЛМ – плюс 3,3 В. Допустимые отклонения напряжения питания периферии ПЛМ от номинального $\pm 0,3$ В.

Масса микросхем не более 21 г.

Тепловое сопротивление кристалл-корпус не более 5,64 °C/Вт.

Значение потенциала статического электричества не должно превышать 2 000 В.

Для обеспечения повышенного ресурса работы аппаратуры ПЛМ поддерживает режим «холодного резервирования».

Значения электрических параметров микросхем при приемке и поставке в диапазоне рабочих температур среды приведены в таблице 2.

Таблица 2

Наименование параметра, единица измерения (режим измерения)	Буквенное обозначение параметра	Норма параметра		Температура среды, °C	Номер пункта примечания
		не менее	не более		
1	2	3	4	5	6
Выходное напряжение низкого уровня, В ($U_{CC1} = 1,71 \text{ В}$, $U_{CC2} = 3,0 \text{ В}$, $I_{OL} = 4,0 \text{ мА}$)	U_{OL}	—	0,55	-60 ± 3 25 ± 3 100 ± 3	1
Выходное напряжение высокого уровня, В ($U_{CC1} = 1,71 \text{ В}$, $U_{CC2} = 3,0 \text{ В}$, $I_{OH} = -4,0 \text{ мА}$)	U_{OH}	2,0	—		1
Ток потребления ядра, мА ($U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{IL} = 0 \text{ В}$; $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{IH} = 3,6 \text{ В}$)	I_{CC1}	—	60		2
Ток потребления периферии, мА ($U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{IL} = 0 \text{ В}$; $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{IH} = 3,6 \text{ В}$)	I_{CC2}	—	60		
Входной ток низкого уровня, мкА ($U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{IL} = 0 \text{ В}$)	I_{IL}	-20	—		1
Входной ток высокого уровня, мкА ($U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{IH} = 3,6 \text{ В}$)	I_{IH}	—	20		—
Ток утечки при отключенном питании, мкА ($U_{CC1} = 0 \text{ В}$, $U_{CC2} = 0 \text{ В}$, $U_O = 3,6 \text{ В}$)	I_{OFF}	—	50		
Выходной ток низкого уровня в состоянии «Выключено», мкА ($U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{OZ} = 0 \text{ В}$)	I_{OZL}	-20	—		1

Подп. и дата	
Инв. № дубл.	
инв. №	
Подп. и дата	
Инв. № подл.	

Окончание таблицы 2

1	2	3	4	5	6
Выходной ток высокого уровня в состоянии «Выключено», мкА ($U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{OZ} = 3,6 \text{ В}$)	I_{OZH}	–	20	-60 ± 3 25 ± 3 100 ± 3	1
Длительность тактового интервала межрегистровой пересылки, нс ($U_{CC1} = 1,71 \text{ В}$, $U_{CC2} = 3,0 \text{ В}$)	t_{DDR}	–	25		2
Примечания 1 Для пользовательских выводов на сконфигурированной микросхеме. 2 Контролируется после конфигурирования микросхемы.					

Значения предельно допустимых и предельных режимов эксплуатации в диапазоне рабочих температур среды приведены в таблице 3.

Таблица 3 – Предельно допустимые и предельные режимы эксплуатации микросхем

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно допустимый режим		Предельный режим		Номер пункта примечания
		не менее	не более	не менее	не более	
1	2	3	4	5	6	7
Напряжение питания ядра, В	U_{CC1}	1,71	1,89	–0,50	2,20	1
Напряжение питания периферии, В	U_{CC2}	3,0	3,6	–0,5	4,0	1
Входное напряжение низкого уровня, В	U_{IL}	0	0,8	–0,5	–	2
Входное напряжение высокого уровня, В	U_{IH}	2,0	3,6	–	4,0	2
Напряжение, прикладываемое к выходу в состоянии «Выключено», В	U_{OZ}	0	3,6	–0,5	4,0	2, 3
Выходной ток низкого уровня, мА	I_{OL}	–	4	–	24	2, 4
Выходной ток высокого уровня, мА	I_{OH}	–4	–	–24	–	2, 4
Ток по выводу питания, мА	I_{VCC}	–	–	–	100	5
Ток по общему выводу, мА	I_{GND}	–	–	–100	–	5

Окончание таблицы 3

1	2	3	4	5	6	7
Емкость нагрузки, пФ	C_L	—	50	—	200	—
Примечания 1 Напряжение питания в процессе отладки проекта и при эксплуатации микросхемы после программирования. 2 Для пользовательских выводов. 3 Величина тока по выходу не должна превышать предельную норму выходного тока. 4 Сумма токов по выходам не должна превышать суммы предельных значений токов по каждому выводу питания или общему выводу. 5 По каждому отдельному выводу микросхемы, подключенному к источнику питания ядра или периферии.						

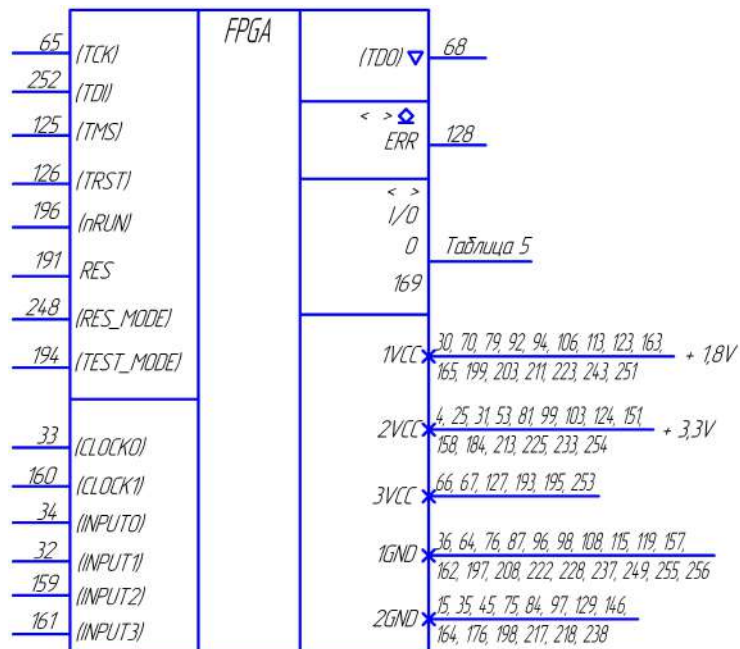
3 Условное графическое обозначение и назначение выводов ПЛМ

Разработанные ПЛМ выполнены в планарных металлокерамических 256-выводных корпусах 4244.256–3 с обводной керамической рамкой и шагом выводов 0,5 мм с покрытием на основе золота.

Условное графическое обозначение микросхем 5576XC7T приведено на рисунке 1.

Подп. и дата	
Инв. № дубл.	
инв. №	
Подп. и дата	

Инв. № подл.	
--------------	--



FPGA – программируемая логическая матрица (ПЛИМ);
 TCK – тактовый вход JTAG;
 TDI – вход данных JTAG;
 TMS – управление состоянием TAP контроллера JTAG;
 TRST – асинхронный сброс TAP контроллера JTAG;
 nRUN – вход разрешения рабочего режима;
 RES_MODE – выбор режима глобального сброса;
 TEST_MODE – управление тестовым режимом;
 CLOCK – глобальный тактовый вход;
 INPUT – выделенный вход;
 TDO – выход данных JTAG.

Таблица 5

Номер вывода	1	3	2	5	7	6	9	8	11	10	13	12	14	17	16	19	18
Метка вывода	I/00	I/01	I/02	I/03	I/04	I/05	I/06	I/07	I/08	I/09	I/010	I/011	I/012	I/013	I/014	I/015	I/016
Номер вывода	21	20	22	23	24	26	27	28	29	37	38	39	40	41	42	43	44
Метка вывода	I/017	I/018	I/019	I/020	I/021	I/022	I/023	I/024	I/025	I/026	I/027	I/028	I/029	I/030	I/031	I/032	I/033
Номер вывода	46	48	47	50	49	52	51	54	56	55	58	57	60	59	62	61	63
Метка вывода	I/034	I/035	I/036	I/037	I/038	I/039	I/040	I/041	I/042	I/043	I/044	I/045	I/046	I/047	I/048	I/049	I/050
Номер вывода	69	71	72	74	73	77	78	80	82	83	85	86	88	89	90	91	93
Метка вывода	I/051	I/052	I/053	I/054	I/055	I/056	I/057	I/058	I/059	I/060	I/061	I/062	I/063	I/064	I/065	I/066	I/067
Номер вывода	95	100	101	102	104	105	107	109	110	111	112	114	116	117	118	120	121
Метка вывода	I/068	I/069	I/070	I/071	I/072	I/073	I/074	I/075	I/076	I/077	I/078	I/079	I/080	I/081	I/082	I/083	I/084
Номер вывода	122	131	130	133	132	135	134	137	136	139	138	141	140	143	142	145	144
Метка вывода	I/085	I/086	I/087	I/088	I/089	I/090	I/091	I/092	I/093	I/094	I/095	I/096	I/097	I/098	I/099	I/0100	I/0101
Номер вывода	147	149	148	150	152	153	154	155	156	166	167	168	169	170	171	172	173
Метка вывода	I/0102	I/0103	I/0104	I/0105	I/0106	I/0107	I/0108	I/0109	I/0110	I/0111	I/0112	I/0113	I/0114	I/0115	I/0116	I/0117	I/0118
Номер вывода	174	175	178	177	180	179	182	181	183	186	185	188	187	190	189	192	200
Метка вывода	I/0119	I/0120	I/0121	I/0122	I/0123	I/0124	I/0125	I/0126	I/0127	I/0128	I/0129	I/0130	I/0131	I/0132	I/0133	I/0134	I/0135
Номер вывода	201	202	204	205	206	207	209	210	212	214	215	216	219	220	221	224	226
Метка вывода	I/0136	I/0137	I/0138	I/0139	I/0140	I/0141	I/0142	I/0143	I/0144	I/0145	I/0146	I/0147	I/0148	I/0149	I/0150	I/0151	I/0152
Номер вывода	227	229	230	231	232	234	235	236	239	240	241	242	244	245	246	247	250
Метка вывода	I/0153	I/0154	I/0155	I/0156	I/0157	I/0158	I/0159	I/0160	I/0161	I/0162	I/0163	I/0164	I/0165	I/0166	I/0167	I/0168	I/0169

Рисунок 1 – Условное графическое обозначение микросхемы интегральной 5576XC7T в корпусе 4244.256–3

Функциональное назначение выводов микросхем 5576XC7T приведено в таблице 6.

Таблица 6 – Функциональное назначение выводов микросхемы интегральной 5576XC7T

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
1	I/O0	Программируемый ввод-вывод	Вход/выход	Пользовательский
2	I/O2	Программируемый ввод-вывод	Вход/выход	Пользовательский
3	I/O1	Программируемый ввод-вывод	Вход/выход	Пользовательский
4	2VCC	Питание выходных буферов	—	—
5	I/O3	Программируемый ввод-вывод	Вход/выход	Пользовательский
6	I/O5	Программируемый ввод-вывод	Вход/выход	Пользовательский
7	I/O4	Программируемый ввод-вывод	Вход/выход	Пользовательский
8	I/O7	Программируемый ввод-вывод	Вход/выход	Пользовательский
9	I/O6	Программируемый ввод-вывод	Вход/выход	Пользовательский
10	I/O9	Программируемый ввод-вывод	Вход/выход	Пользовательский
11	I/O8	Программируемый ввод-вывод	Вход/выход	Пользовательский
12	I/O11	Программируемый ввод-вывод	Вход/выход	Пользовательский
13	I/O10	Программируемый ввод-вывод	Вход/выход	Пользовательский
14	I/O12	Программируемый ввод-вывод	Вход/выход	Пользовательский
15	2GND	Общий выходных буферов	—	—
16	I/O14	Программируемый ввод-вывод	Вход/выход	Пользовательский
17	I/O13	Программируемый ввод-вывод	Вход/выход	Пользовательский
18	I/O16	Программируемый ввод-вывод	Вход/выход	Пользовательский
19	I/O15	Программируемый ввод-вывод	Вход/выход	Пользовательский
20	I/O18	Программируемый ввод-вывод	Вход/выход	Пользовательский
21	I/O17	Программируемый ввод-вывод	Вход/выход	Пользовательский

Подп. и дата	Инт. № дубл.	Инт. №	Подп. и дата

Инт. № подл.

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
22	I/O19	Программируемый ввод-вывод	Вход/выход	Пользовательский
23	I/O20	Программируемый ввод-вывод	Вход/выход	Пользовательский
24	I/O21	Программируемый ввод-вывод	Вход/выход	Пользовательский
25	2VCC	Питание выходных буферов	—	—
26	I/O22	Программируемый ввод-вывод	Вход/выход	Пользовательский
27	I/O23	Программируемый ввод-вывод	Вход/выход	Пользовательский
28	I/O24	Программируемый ввод-вывод	Вход/выход	Пользовательский
29	I/O25 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
30	1VCC	Питание ядра	—	—
31	2VCC	Питание входных буферов	—	—
32	INPUT1	Выделенный вход	Вход	Пользовательский
33	CLOCK0	Глобальный тактовый вход	Вход	Пользовательский
34	INPUT0	Выделенный вход	Вход	Пользовательский
35	2GND	Общий входных буферов	—	—
36	1GND	Общий ядра	—	—
37	I/O26 ²⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
38	I/O27	Программируемый ввод-вывод	Вход/выход	Пользовательский
39	I/O28	Программируемый ввод-вывод	Вход/выход	Пользовательский
40	I/O29	Программируемый ввод-вывод	Вход/выход	Пользовательский
41	I/O30	Программируемый ввод-вывод	Вход/выход	Пользовательский
42	I/O31	Программируемый ввод-вывод	Вход/выход	Пользовательский
43	I/O32	Программируемый ввод-вывод	Вход/выход	Пользовательский
44	I/O33	Программируемый ввод-вывод	Вход/выход	Пользовательский
45	2GND	Общий выходных буферов	—	—
46	I/O34	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инд. № подл.	Подп. и дата	инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
47	I/O36	Программируемый ввод-вывод	Вход/выход	Пользовательский
48	I/O35	Программируемый ввод-вывод	Вход/выход	Пользовательский
49	I/O38	Программируемый ввод-вывод	Вход/выход	Пользовательский
50	I/O37	Программируемый ввод-вывод	Вход/выход	Пользовательский
51	I/O40	Программируемый ввод-вывод	Вход/выход	Пользовательский
52	I/O39	Программируемый ввод-вывод	Вход/выход	Пользовательский
53	2VCC	Питание выходных буферов	—	—
54	I/O41	Программируемый ввод-вывод	Вход/выход	Пользовательский
55	I/O43	Программируемый ввод-вывод	Вход/выход	Пользовательский
56	I/O42	Программируемый ввод-вывод	Вход/выход	Пользовательский
57	I/O45	Программируемый ввод-вывод	Вход/выход	Пользовательский
58	I/O44	Программируемый ввод-вывод	Вход/выход	Пользовательский
59	I/O47	Программируемый ввод-вывод	Вход/выход	Пользовательский
60	I/O46	Программируемый ввод-вывод	Вход/выход	Пользовательский
61	I/O49	Программируемый ввод-вывод	Вход/выход	Пользовательский
62	I/O48	Программируемый ввод-вывод	Вход/выход	Пользовательский
63	I/O50	Программируемый ввод-вывод	Вход/выход	Пользовательский
64	1GND	Общий ядра	—	—
65	TCK	Тактовый вход JTAG	Вход	Служебный
66	3VCC ³⁾	Дополнительное питание ядра	—	—
67	3VCC ³⁾	Дополнительное питание ядра	—	—
68	TDO	Выход данных JTAG	Выход с тремя состояниями	Служебный
69	I/O51	Программируемый ввод-вывод	Вход/выход	Пользовательский
70	1VCC	Питание ядра	—	—

Инд. № подл.	Подп. и дата	инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
71	I/O52	Программируемый ввод-вывод	Вход/выход	Пользовательский
72	I/O53	Программируемый ввод-вывод	Вход/выход	Пользовательский
73	I/O55	Программируемый ввод-вывод	Вход/выход	Пользовательский
74	I/O54	Программируемый ввод-вывод	Вход/выход	Пользовательский
75	2GND	Общий выходных буферов	—	—
76	1GND	Общий ядра	—	—
77	I/O56	Программируемый ввод-вывод	Вход/выход	Пользовательский
78	I/O57	Программируемый ввод-вывод	Вход/выход	Пользовательский
79	1VCC	Питание ядра	—	—
80	I/O58	Программируемый ввод-вывод	Вход/выход	Пользовательский
81	2VCC	Питание выходных буферов	—	—
82	I/O59	Программируемый ввод-вывод	Вход/выход	Пользовательский
83	I/O60	Программируемый ввод-вывод	Вход/выход	Пользовательский
84	2GND	Общий входных буферов	—	—
85	I/O61	Программируемый ввод-вывод	Вход/выход	Пользовательский
86	I/O62	Программируемый ввод-вывод	Вход/выход	Пользовательский
87	1GND	Общий ядра	—	—
88	I/O63	Программируемый ввод-вывод	Вход/выход	Пользовательский
89	I/O64	Программируемый ввод-вывод	Вход/выход	Пользовательский
90	I/O65	Программируемый ввод-вывод	Вход/выход	Пользовательский
91	I/O66	Программируемый ввод-вывод	Вход/выход	Пользовательский
92	1VCC	Питание ядра	—	—
93	I/O67	Программируемый ввод-вывод	Вход/выход	Пользовательский
94	1VCC	Питание ядра	—	—
95	I/O68	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инд. № подл.	Подп. и дата	инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
96	1GND	Общий ядра	—	—
97	2GND	Общий выходных буферов	—	—
98	1GND	Общий ядра	—	—
99	2VCC	Питание входных буферов	—	—
100	I/O69	Программируемый ввод-вывод	Вход/выход	Пользовательский
101	I/O70	Программируемый ввод-вывод	Вход/выход	Пользовательский
102	I/O71	Программируемый ввод-вывод	Вход/выход	Пользовательский
103	2VCC	Питание выходных буферов	—	—
104	I/O72	Программируемый ввод-вывод	Вход/выход	Пользовательский
105	I/O73	Программируемый ввод-вывод	Вход/выход	Пользовательский
106	1VCC	Питание ядра	—	—
107	I/O74	Программируемый ввод-вывод	Вход/выход	Пользовательский
108	1GND	Общий ядра	—	—
109	I/O75	Программируемый ввод-вывод	Вход/выход	Пользовательский
110	I/O76	Программируемый ввод-вывод	Вход/выход	Пользовательский
111	I/O77	Программируемый ввод-вывод	Вход/выход	Пользовательский
112	I/O78	Программируемый ввод-вывод	Вход/выход	Пользовательский
113	1VCC	Питание ядра	—	—
114	I/O79	Программируемый ввод-вывод	Вход/выход	Пользовательский
115	1GND	Общий ядра	—	—
116	I/O80	Программируемый ввод-вывод	Вход/выход	Пользовательский
117	I/O81	Программируемый ввод-вывод	Вход/выход	Пользовательский
118	I/O82	Программируемый ввод-вывод	Вход/выход	Пользовательский
119	1GND	Общий ядра	—	—
120	I/O83	Программируемый ввод-вывод	Вход/выход	Пользовательский
121	I/O84	Программируемый ввод-вывод	Вход/выход	Пользовательский

Подп. и дата

Инв. № дубл.

инв. №

Подп. и дата

Инв. № подл.

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
122	I/O85	Программируемый ввод-вывод	Вход/выход	Пользовательский
123	1VCC	Питание ядра	—	—
124	2VCC	Питание выходных буферов	—	—
125	TMS	Управление состоянием TAP контроллера JTAG	Вход	Служебный
126	TRST	Асинхронный сброс TAP контроллера JTAG	Вход	Служебный
127	3VCC ³⁾	Дополнительное питание ядра	—	—
128	ERR	Индикатор сбоя конфигурационного ОЗУ	Вход/выход с открытым стоком	Служебный
129	2GND	Общий выходных буферов	—	—
130	I/O87	Программируемый ввод-вывод	Вход/выход	Пользовательский
131	I/O86	Программируемый ввод-вывод	Вход/выход	Пользовательский
132	I/O89	Программируемый ввод-вывод	Вход/выход	Пользовательский
133	I/O88	Программируемый ввод-вывод	Вход/выход	Пользовательский
134	I/O91	Программируемый ввод-вывод	Вход/выход	Пользовательский
135	I/O90	Программируемый ввод-вывод	Вход/выход	Пользовательский
136	I/O93	Программируемый ввод-вывод	Вход/выход	Пользовательский
137	I/O92	Программируемый ввод-вывод	Вход/выход	Пользовательский
138	I/O95	Программируемый ввод-вывод	Вход/выход	Пользовательский
139	I/O94	Программируемый ввод-вывод	Вход/выход	Пользовательский
140	I/O97	Программируемый ввод-вывод	Вход/выход	Пользовательский
141	I/O96	Программируемый ввод-вывод	Вход/выход	Пользовательский
142	I/O99	Программируемый ввод-вывод	Вход/выход	Пользовательский

Подп. и дата	инв. №	Инв. № дубл.	Подп. и дата

Инв. № подл.

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
143	I/O98	Программируемый ввод-вывод	Вход/выход	Пользовательский
144	I/O101	Программируемый ввод-вывод	Вход/выход	Пользовательский
145	I/O100	Программируемый ввод-вывод	Вход/выход	Пользовательский
146	2GND	Общий выходных буферов	—	—
147	I/O102	Программируемый ввод-вывод	Вход/выход	Пользовательский
148	I/O104	Программируемый ввод-вывод	Вход/выход	Пользовательский
149	I/O103	Программируемый ввод-вывод	Вход/выход	Пользовательский
150	I/O105	Программируемый ввод-вывод	Вход/выход	Пользовательский
151	2VCC	Питание выходных буферов	—	—
152	I/O106	Программируемый ввод-вывод	Вход/выход	Пользовательский
153	I/O107	Программируемый ввод-вывод	Вход/выход	Пользовательский
154	I/O108	Программируемый ввод-вывод	Вход/выход	Пользовательский
155	I/O109	Программируемый ввод-вывод	Вход/выход	Пользовательский
156	I/O110	Программируемый ввод-вывод	Вход/выход	Пользовательский
157	1GND	Общий ядра	—	—
158	2VCC	Питание входных буферов	—	—
159	INPUT2	Выделенный вход	Вход	Пользовательский
160	CLOCK1	Глобальный тактовый вход	Вход	Пользовательский
161	INPUT3	Выделенный вход	Вход	Пользовательский
162	1GND	Общий ядра	—	—
163	1VCC	Питание ядра	—	—
164	2GND	Общий входных буферов	—	—
165	1VCC	Питание ядра	—	—
166	I/O111	Программируемый ввод-вывод	Вход/выход	Пользовательский
167	I/O112	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инд. № подл.	Подп. и дата	инв. №	Инд. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
168	I/O113	Программируемый ввод-вывод	Вход/выход	Пользовательский
169	I/O114	Программируемый ввод-вывод	Вход/выход	Пользовательский
170	I/O115	Программируемый ввод-вывод	Вход/выход	Пользовательский
171	I/O116	Программируемый ввод-вывод	Вход/выход	Пользовательский
172	I/O117	Программируемый ввод-вывод	Вход/выход	Пользовательский
173	I/O118	Программируемый ввод-вывод	Вход/выход	Пользовательский
174	I/O119	Программируемый ввод-вывод	Вход/выход	Пользовательский
175	I/O120	Программируемый ввод-вывод	Вход/выход	Пользовательский
176	2GND	Общий выходных буферов	—	—
177	I/O122	Программируемый ввод-вывод	Вход/выход	Пользовательский
178	I/O121	Программируемый ввод-вывод	Вход/выход	Пользовательский
179	I/O124	Программируемый ввод-вывод	Вход/выход	Пользовательский
180	I/O123	Программируемый ввод-вывод	Вход/выход	Пользовательский
181	I/O126	Программируемый ввод-вывод	Вход/выход	Пользовательский
182	I/O125	Программируемый ввод-вывод	Вход/выход	Пользовательский
183	I/O127	Программируемый ввод-вывод	Вход/выход	Пользовательский
184	2VCC	Питание выходных буферов	—	—
185	I/O129	Программируемый ввод-вывод	Вход/выход	Пользовательский
186	I/O128	Программируемый ввод-вывод	Вход/выход	Пользовательский
187	I/O131	Программируемый ввод-вывод	Вход/выход	Пользовательский
188	I/O130	Программируемый ввод-вывод	Вход/выход	Пользовательский
189	I/O133	Программируемый ввод-вывод	Вход/выход	Пользовательский
190	I/O132	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инд. № подл.	Подп. и дата	инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
191	RES	Сигнал глобального сброса	Вход	Служебный
192	I/O134	Программируемый ввод-вывод	Вход/выход	Пользовательский
193	3VCC ³⁾	Дополнительное питание ядра	—	—
194	TEST_MODE	Управление тестовым режимом	Вход	Служебный
195	3VCC ³⁾	Дополнительное питание ядра	—	—
196	nRUN	Вход разрешения рабочего режима	Вход	Служебный
197	1GND	Общий ядра	—	—
198	2GND	Общий выходных буферов	—	—
199	1VCC	Питание ядра	—	—
200	I/O135	Программируемый ввод-вывод	Вход/выход	Пользовательский
201	I/O136	Программируемый ввод-вывод	Вход/выход	Пользовательский
202	I/O137	Программируемый ввод-вывод	Вход/выход	Пользовательский
203	1VCC	Питание ядра	—	—
204	I/O138	Программируемый ввод-вывод	Вход/выход	Пользовательский
205	I/O139	Программируемый ввод-вывод	Вход/выход	Пользовательский
206	I/O140	Программируемый ввод-вывод	Вход/выход	Пользовательский
207	I/O141	Программируемый ввод-вывод	Вход/выход	Пользовательский
208	1GND	Общий ядра	—	—
209	I/O142	Программируемый ввод-вывод	Вход/выход	Пользовательский
210	I/O143	Программируемый ввод-вывод	Вход/выход	Пользовательский
211	1VCC	Питание ядра	—	—
212	I/O144	Программируемый ввод-вывод	Вход/выход	Пользовательский
213	2VCC	Питание выходных буферов	—	—
214	I/O145	Программируемый ввод-вывод	Вход/выход	Пользовательский
215	I/O146	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инд. № подл.	Подп. и дата	инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
216	I/O147	Программируемый ввод-вывод	Вход/выход	Пользовательский
217	2GND	Общий входных буферов	—	—
218	2GND	Общий выходных буферов	—	—
219	I/O148	Программируемый ввод-вывод	Вход/выход	Пользовательский
220	I/O149	Программируемый ввод-вывод	Вход/выход	Пользовательский
221	I/O150	Программируемый ввод-вывод	Вход/выход	Пользовательский
222	1GND	Общий ядра	—	—
223	1VCC	Питание ядра	—	—
224	I/O151	Программируемый ввод-вывод	Вход/выход	Пользовательский
225	2VCC	Питание входных буферов	—	—
226	I/O152	Программируемый ввод-вывод	Вход/выход	Пользовательский
227	I/O153	Программируемый ввод-вывод	Вход/выход	Пользовательский
228	1GND	Общий ядра	—	—
229	I/O154	Программируемый ввод-вывод	Вход/выход	Пользовательский
230	I/O155	Программируемый ввод-вывод	Вход/выход	Пользовательский
231	I/O156	Программируемый ввод-вывод	Вход/выход	Пользовательский
232	I/O157	Программируемый ввод-вывод	Вход/выход	Пользовательский
233	2VCC	Питание выходных буферов	—	—
234	I/O158	Программируемый ввод-вывод	Вход/выход	Пользовательский
235	I/O159	Программируемый ввод-вывод	Вход/выход	Пользовательский
236	I/O160	Программируемый ввод-вывод	Вход/выход	Пользовательский
237	1GND	Общий ядра	—	—
238	2GND	Общий выходных буферов	—	—
239	I/O161	Программируемый ввод-вывод	Вход/выход	Пользовательский

Подп. и дата	Инв. № дубл.	Инв. №	Подп. и дата	Инв. № подл.

Окончание таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
240	I/O162	Программируемый ввод-вывод	Вход/выход	Пользовательский
241	I/O163	Программируемый ввод-вывод	Вход/выход	Пользовательский
242	I/O164	Программируемый ввод-вывод	Вход/выход	Пользовательский
243	1VCC	Питание ядра	—	—
244	I/O165	Программируемый ввод-вывод	Вход/выход	Пользовательский
245	I/O166	Программируемый ввод-вывод	Вход/выход	Пользовательский
246	I/O167	Программируемый ввод-вывод	Вход/выход	Пользовательский
247	I/O168	Программируемый ввод-вывод	Вход/выход	Пользовательский
248	RES_MODE	Выбор режима глобального сброса	Вход	Служебный
249	1GND	Общий ядра	—	—
250	I/O169	Программируемый ввод-вывод	Вход/выход	Пользовательский
251	1VCC	Питание ядра	—	—
252	TDI	Вход данных JTAG	Вход	Служебный
253	3VCC ³⁾	Дополнительное питание ядра	—	—
254	2VCC	Питание входных буферов	—	—
255	1GND	Общий ядра	—	—
256	1GND	Общий ядра	—	—

¹⁾ После выхода ПЛИС в рабочий режим вывод I/O25 может быть использован как глобальный сигнал сброса всех триггеров (DEV_CLRn), если это указано пользователем.

²⁾ После выхода ПЛИС в рабочий режим вывод I/O26 может быть использован как глобальный сигнал разрешения третьего состояния всех элементов ввода-вывода (DEV_OE), если это указано пользователем.

³⁾ В процессе отладки проекта и в рабочем режиме на выводы 3VCC подается напряжение $1,8 \text{ В} \pm 5 \%$, при программировании $-7,0 \text{ В} \pm 1 \%$.

В режиме отладки и в режиме однократного программирования ПЛИС вывод nRUN должен быть подключен к положительному выводу источника питания $(3,3 \pm 0,3) \text{ В}$. В рабочем режиме вывод nRUN должен быть подключен к общему выводу источника питания.

Конструкция ПЛМ обеспечивает использование в качестве среды разработки проектов САПР MAX+PLUS II или Quartus II (микросхема EPF10K30E). Однако выводы ПЛМ в корпусе 4244.256–3 не совпадают с выводами микросхемы EPF10K30E. При разработке проекта возможна автоматическая генерация файла размещения выводов ПЛМ в корпусе микросхемы EPF10K30E при помощи специального приложения «create_assignments», входящего в программу «Инструментарий для программирования дополнительных режимов работы и расширенной функциональности элементов ввода/вывода ПЛМ 5576XC7T».

4 Конструктивные особенности ПЛМ

Результатом проектирования в САПР MAX+PLUS II или Quartus II является файл, который необходимо преобразовать с помощью специального программного обеспечения «Инструментарий для программирования дополнительных режимов работы и расширенной функциональности элементов ввода/вывода ПЛМ 5576XC7T». Преобразованный файл создается в формате .rbf или .jam.

ПЛМ имеет расширенную функциональность элементов ввода-вывода, выделенных и глобальных тактовых входов (режимы Pull-Up, Pull-Down, Bus-Hold). Эти режимы также реализуются при помощи программного обеспечения «Инструментарий для программирования дополнительных режимов работы и расширенной функциональности элементов ввода/вывода ПЛМ 5576XC7T».

ПЛМ содержит следующие основные конструктивные элементы: логические блоки, блоки встроенной памяти, конфигурационную память, элементы ввода-вывода, буферы ввода-вывода, блок управления программированием, блок управления тестированием, систему глобальных и локальных межсоединений.

На рисунке 2 представлена электрическая структурная схема ПЛМ 5576XC7T.

Система глобальных и локальных межсоединений осуществляет связь между логическими блоками, блоками встроенной памяти и элементами ввода-вывода.

Ячейки конфигурационной памяти управляют коммутацией и режимами работы логических блоков, блоков встроенной памяти и элементов ввода-вывода. Конфигурационная память содержит 462 336 ячеек.

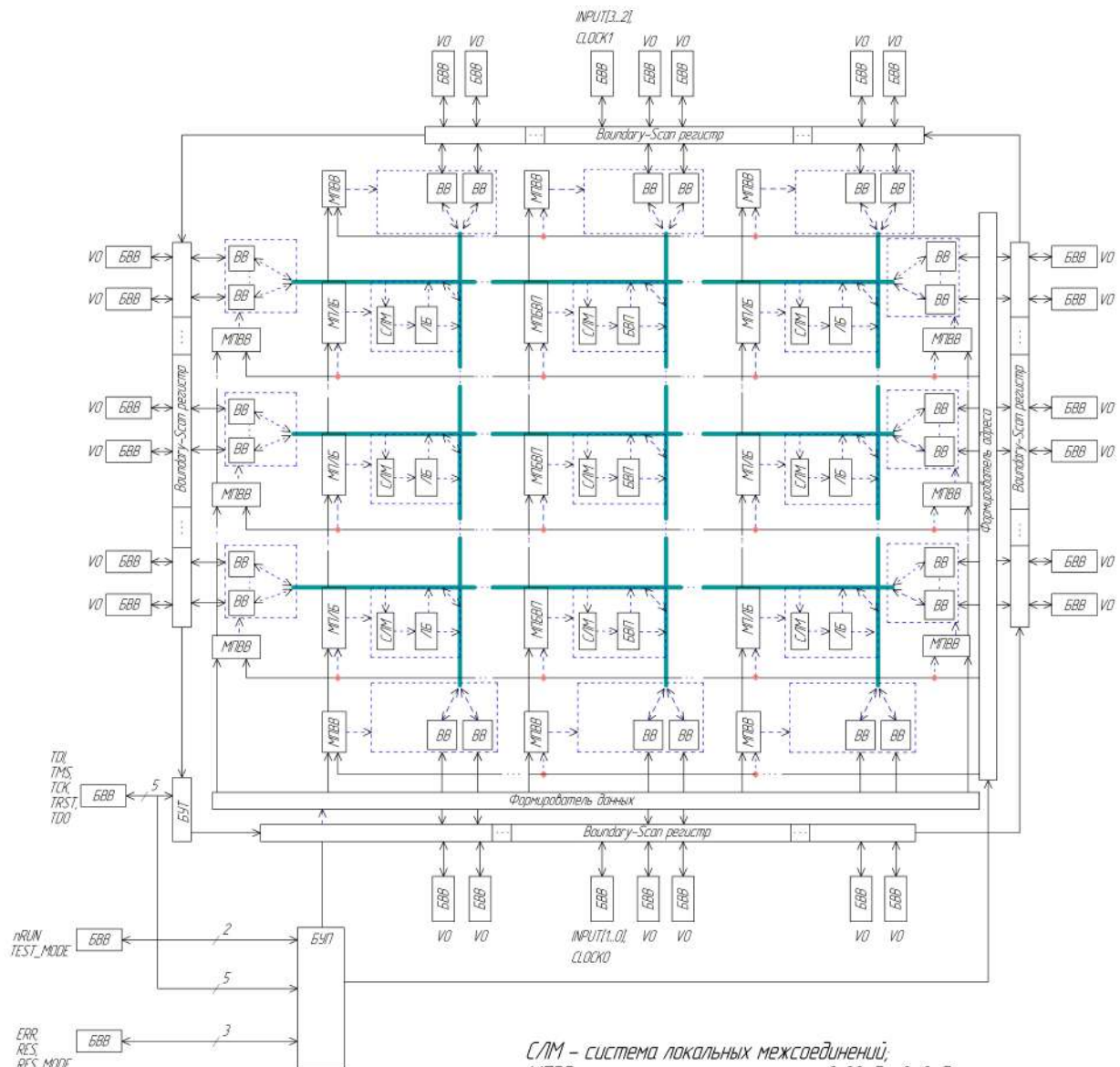
ПЛМ содержит встроенный блок JTAG, соответствующий стандарту IEEE Std 1149.1, который позволяет провести многократное конфигурирование ПЛМ в режиме отладки проекта, однократное программирование конфигурацион-

Инв. № подл.	Подп. и дата	инв. №	Инв. № дубл.	Подп. и дата

ной памяти микросхемы, периферийное сканирование и тестирование ПЛМ в составе системы.

Блок управления программированием осуществляет загрузку конфигурационных данных в конфигурационную память ПЛМ в режиме отладки проекта и в режиме однократного программирования.

Блок управления тестированием позволяет провести периферийное сканирование, проверить работу ПЛМ без использования специального оборудования для тестирования путем подачи и вычитывания тестовых сигналов через Boundary-Scan регистр.



CLM – система локальных межсоединений;
 MTBB – матрица памяти элементов ввода-вывода;
 MTLB – матрица памяти логического блока;
 MTBVP – матрица памяти блока встроенной памяти;
 BBV – буфер ввода-вывода;
 BB – элемент ввода-вывода;
 LB – логический блок;
 BBP – блок встроенной памяти;
 БУТ – блок управления тестированием;
 БУП – блок управления программированием;
 ---> – коммутатор;
 ——— – система глобальных межсоединений.

Рисунок 2 – Схема электрическая структурная ПЛМ 5576XC7T

4.1 Логический блок

ПЛМ 5576XC7T включает 216 логических блоков, которые образуют матрицу из 6 рядов и 36 колонок.

Логические блоки используются для реализации логики, счетчиков, сумматоров, конечных автоматов состояний, мультиплексоров.

В САПР MAX+PLUS II или Quartus II каждый логический блок обозначен соответственно своему месторасположению: буква латинского алфавита обозначает ряд, а цифра – колонку. У ПЛМ 5576XC7T ряды промаркированы буквами А, В, С, D, Е, F, а колонки цифрами 1–36. Так, например, логический блок В3 находится в ряду В, в колонке 3.

Структурная схема логического блока приведена на рисунке 3.

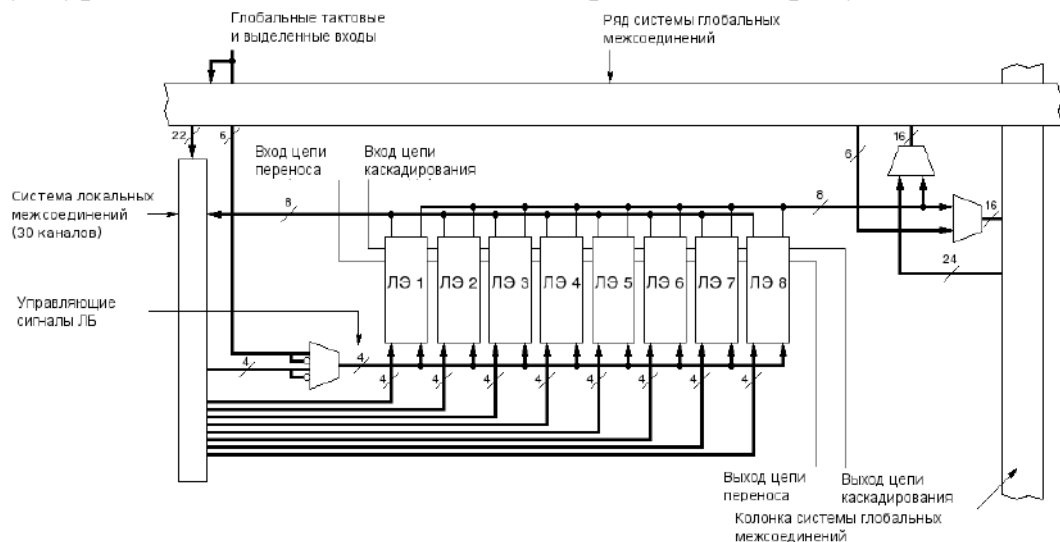


Рисунок 3 – Структурная схема логического блока

Логический блок подключен к системе межсоединений 22-входными и 8-выходными каналами. Управление триггерами логических элементов логического блока, осуществляется с помощью четырех сигналов с программируемой инверсией, каждый из которых может быть использован во всех восьми логических элементах. Два из этих сигналов используются как тактовые, два – как сигналы сброса и установки. Источником управляющих сигналов могут быть глобальные тактовые входы, выделенные входы или внутренние сигналы системы локальных межсоединений логического блока. В большинстве случаев в качестве источников управляющих сигналов используются глобальные тактовые и выделенные входы.

Цепи каскадирования и переноса, объединяющие более восьми логических элементов, реализуются путем соединения четных или нечетных логических блоков в ряду.

4.2 Логический элемент

Каждый логический блок состоит из восьми логических элементов, предназначенных для реализации различных логических функций. Всего ПЛМ содержит 1 728 логических элементов.

Логический элемент состоит из 4-входовой таблицы преобразования (look-up table – LUT), которая представляет собой генератор функций четырех переменных, способный реализовать функцию четырех переменных. Генератор функций четырех переменных может быть преобразован в два генератора функций трех переменных и мультиплексор. Кроме того, каждый логический элемент содержит программируемый триггер, цепи переноса и каскадирования.

Программируемый триггер может быть сконфигурирован как триггер D, T, JK или SR-типа. Источником сигналов управления триггером (тактовый сигнал, сброс, установка) могут быть глобальные тактовые входы, выделенные входы или внутренние сигналы системы локальных межсоединений логического блока. При реализации комбинаторных функций триггер не используется и сигнал с выхода генератора функций будет поступать на выход логического элемента.

Функция переноса позволяет реализовывать быстродействующие счетчики и сумматоры произвольной ширины.

С помощью цепи каскадирования реализуются функции, имеющие большой коэффициент объединения по входу. Соседние логические элементы могут быть использованы для параллельного вычисления частей функции, а цепь каскадирования последовательно соединяет промежуточные результаты. Цепь каскадирования может использовать логические функции «ИЛИ» и «И» для соединения входов соседних логических элементов. Каждый дополнительный логический элемент добавляет четыре входа к эффективной ширине функции.

Структурная схема ЛЭ показана на рисунке 4.

Подп. и дата	
Инв. № дубл.	
инв. №	
Подп. и дата	

Инв. № подл.	
--------------	--

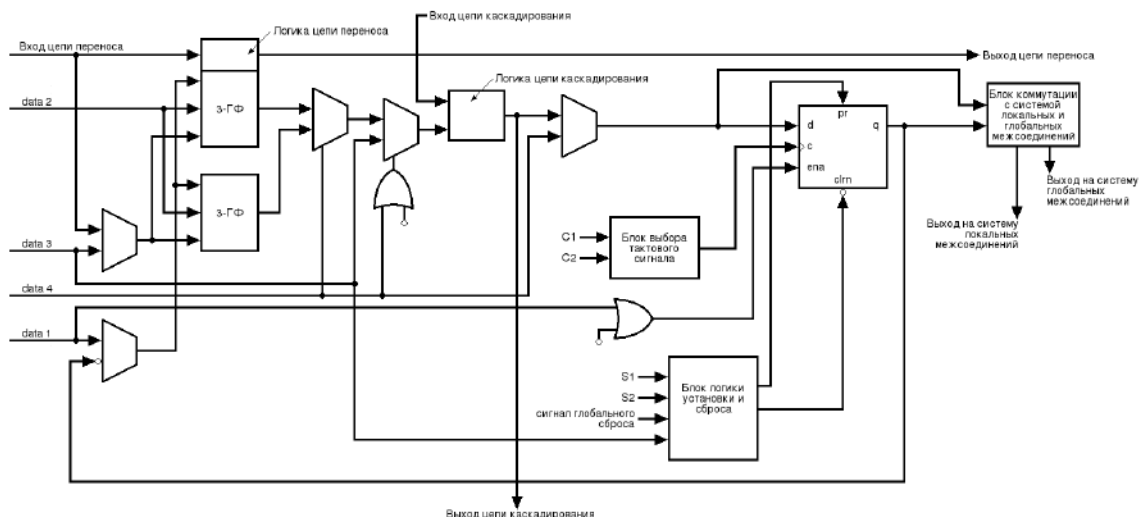


Рисунок 4 – Структурная схема логического элемента ПЛМ

4.2.1 Режимы работы логического элемента

Логический элемент имеет четыре рабочих режима:

- нормальный режим;
- арифметический (счетный) режим;
- режим суммирующего/вычитающего счетчика;
- режим сбрасываемого счетчика.

Во всех четырех режимах вход data1 может быть использован для синхронного разрешения тактового сигнала триггера.

Нормальный режим предназначен для большинства логических приложений и функций декодирования, использующих преимущества цепи каскадирования. В данном режиме входами генератора функций могут быть следующие сигналы:

- data1, data2, data3, data4;
- data1, data2, data4 и сигнал с входа цепи переноса.

Сигнал с выхода генератора функций может быть скомбинирован с входным сигналом цепи каскадирования.

Генератор функций и триггер логического элемента могут использоваться независимо друг от друга. В этом случае на генераторе функций реализуется функция трех переменных, а сигнал data4 может быть использован в качестве данных триггера логического элемента (рисунок 5).

Выходными сигналами логического элемента являются комбинированный сигнал и выходные данные программируемого триггера, которые могут быть скоммутированы на локальные и глобальные межсоединения в зависимости режима работы блока коммутации. Например, сигнал с триггера может быть скоммутирован на глобальное межсоединение, в то время как выходной сигнал с генератора функций – на локальное.

Подп. и дата

Инв. № дубл.

инв. №

Подп. и дата

Инв. № подл.

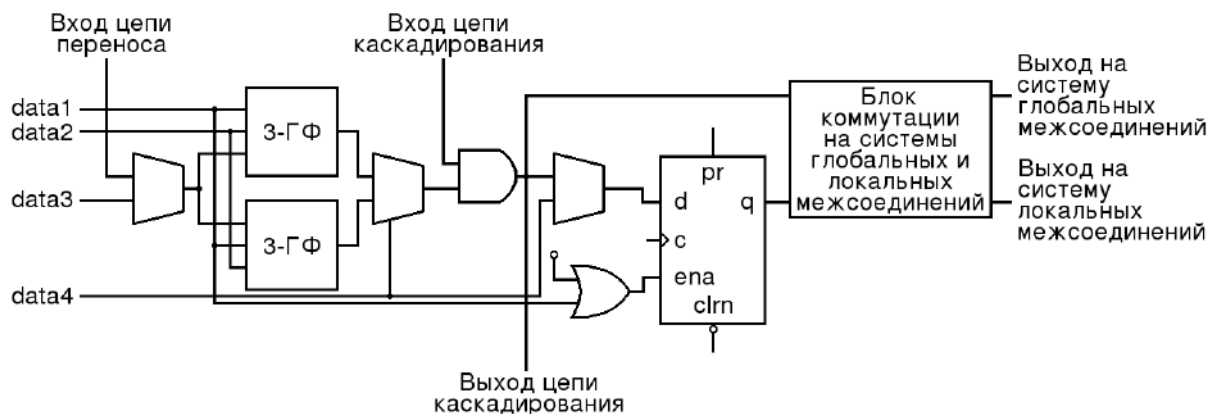


Рисунок 5 – Нормальный режим работы логического элемента

Арифметический режим (рисунок 6) предназначен для реализации сумматоров, аккумуляторов и компараторов. В данном режиме сигналы data1, data2 и сигнал с входа цепи переноса являются входными сигналами для двух 3-входовых генераторов функций. Первый из них реализует функцию трех переменных. Второй генератор функций формирует сигнал цепи переноса. Арифметический режим также поддерживает одновременное использование цепи каскадирования.

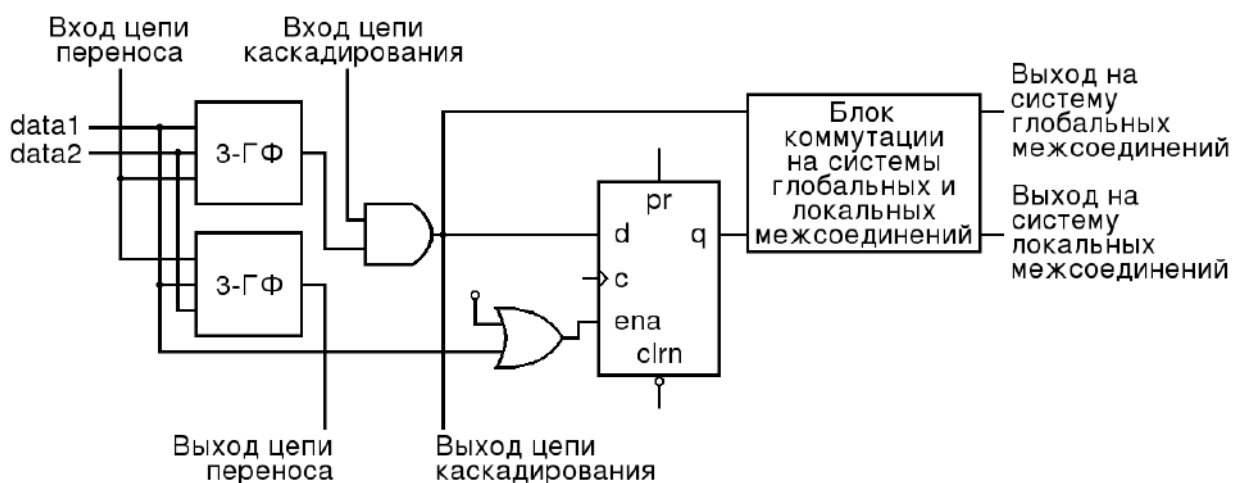


Рисунок 6 – Арифметический режим работы логического элемента

Подп. и дата	
Инв. № дубл.	
инв. №	
Подп. и дата	

Инв. № подл.	
--------------	--

В режиме суммирующего/вычитающего счетчика (рисунок 7) один из 3-выходов генераторов функций формирует данные счетчика с помощью сигналов управления data1, обратной связи триггера, входа цепи переноса, другой – формирует сигнал переноса с помощью сигналов управления обратной связи триггера, data2, входа цепи переноса. Сигнал data4 предназначен для реализации возможности синхронной загрузки данных. Загрузка данных может быть асинхронной без использования ресурсов генератора функций с помощью сигналов сброса и установки триггера. Функцию сброса в режиме суммирующего/вычитающего счетчика выполняет входной сигнал цепи каскадирования.

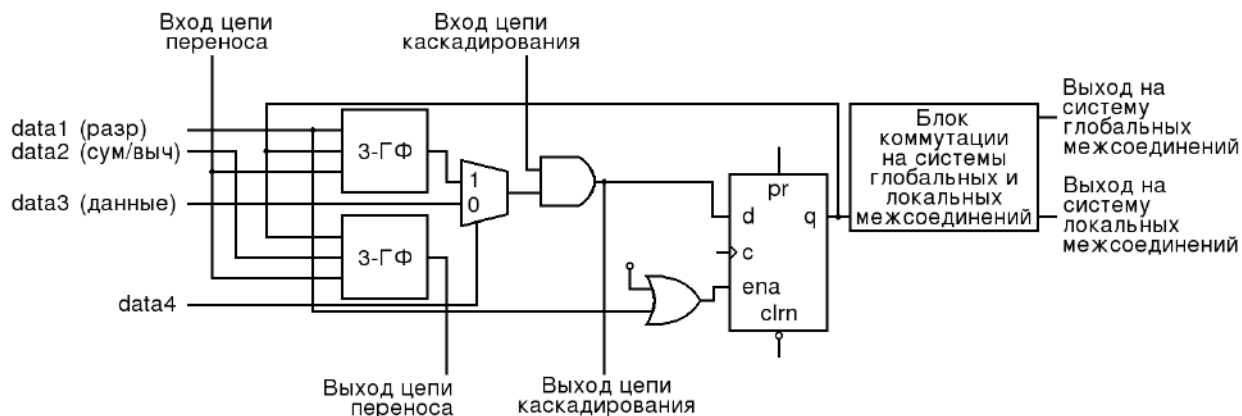


Рисунок 7 – Режим суммирующего/вычитающего счетчика

Режим сбрасываемого счетчика (рисунок 8) подобен режиму суммирующего/вычитающего счетчика, но в отличие от него поддерживает синхронный сброс с входа data2.

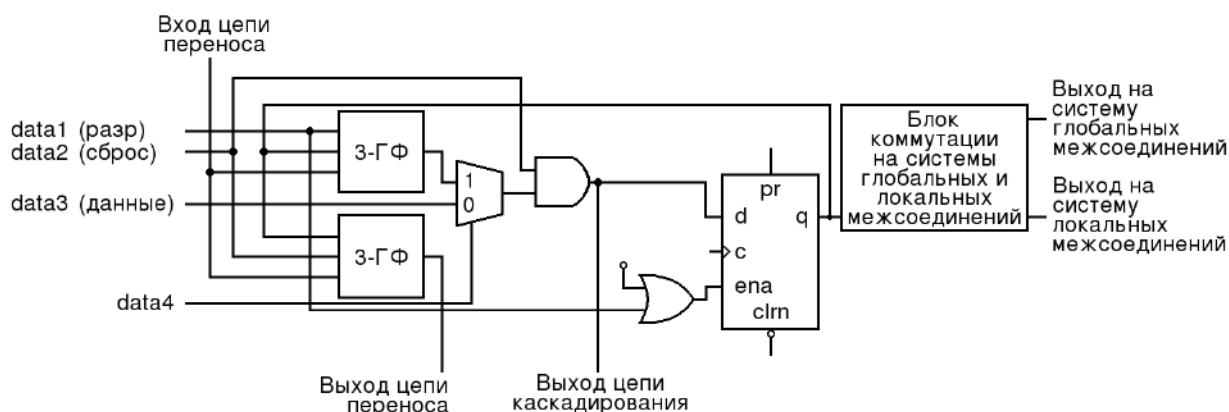


Рисунок 8 – Режим сбрасываемого счетчика

4.2.2 Сброс и установка программируемого триггера логического элемента

Управление сбросом и установкой программируемого триггера логического элемента осуществляется с помощью сигналов data3, S1, S2. Сигналы S1 и S2 мо-

гут осуществлять асинхронный сброс и/или установку. Кроме того, триггер может работать в режиме асинхронной загрузки. В этом случае данные для загрузки поступают с входа data3, а сигнал S1 разрешает асинхронную загрузку.

В процессе компиляции проекта программным обеспечением автоматически выбирается оптимальный уровень сигнала для выполнения требуемой функции. Так как для функции сброса активным является низкий уровень, а для установки – высокий, то компилятор автоматически устанавливает на неиспользуемые входы сброса или установки требуемый неактивный уровень.

Вывод глобального сброса предназначен для подачи сигнала сбрасывания всех триггеров и имеет приоритет над другими сигналами. Данная опция может быть включена на этапе ввода данных в проект.

Сброс и установку триггеров можно проводить в следующих шести режимах:

- асинхронный сброс;
- асинхронная установка;
- асинхронный сброс и установка;
- асинхронная загрузка со сбросом;
- асинхронная загрузка с установкой;
- асинхронная загрузка без сброса или без установки.

На рисунке 9 показаны режимы сброса и установки триггеров.

Асинхронный сброс триггера может быть выполнен одним из двух сигналов S1 или S2. В этом режиме сигнал установки не активен и подключен к GND.

Асинхронная установка триггера может быть выполнена одним из двух сигналов S1 или S2. В этом режиме сигнал сброса не активен и подключен к VCC. Кроме того, с помощью программного обеспечения можно проводить установку за счёт использования сброса и инвертирования выхода триггера.

При выполнении асинхронного сброса и установки, сигнал S1 управляет установкой (асинхронно загружает единицу в триггер), а сигнал S2 – сбросом.

При выполнении асинхронной загрузки со сбросом, сигнал S1 разрешает асинхронную загрузку с входа data3. Активный сигнал на S2 предназначен для сброса триггера.

При выполнении асинхронной загрузки с установкой, сигнал S1 разрешает асинхронную загрузку с входа data3. Активный сигнал на S2 может производить установку триггера, но не может управлять его загрузкой.

Подп. и дата	
Инв. № дубл.	
инв. №	
Подп. и дата	

Инв. № подл.	
--------------	--

При выполнении асинхронной загрузки без установки или сброса триггера, сигнал S1 разрешает асинхронную загрузку с входа data3 и контролирует сброс и установку триггера.

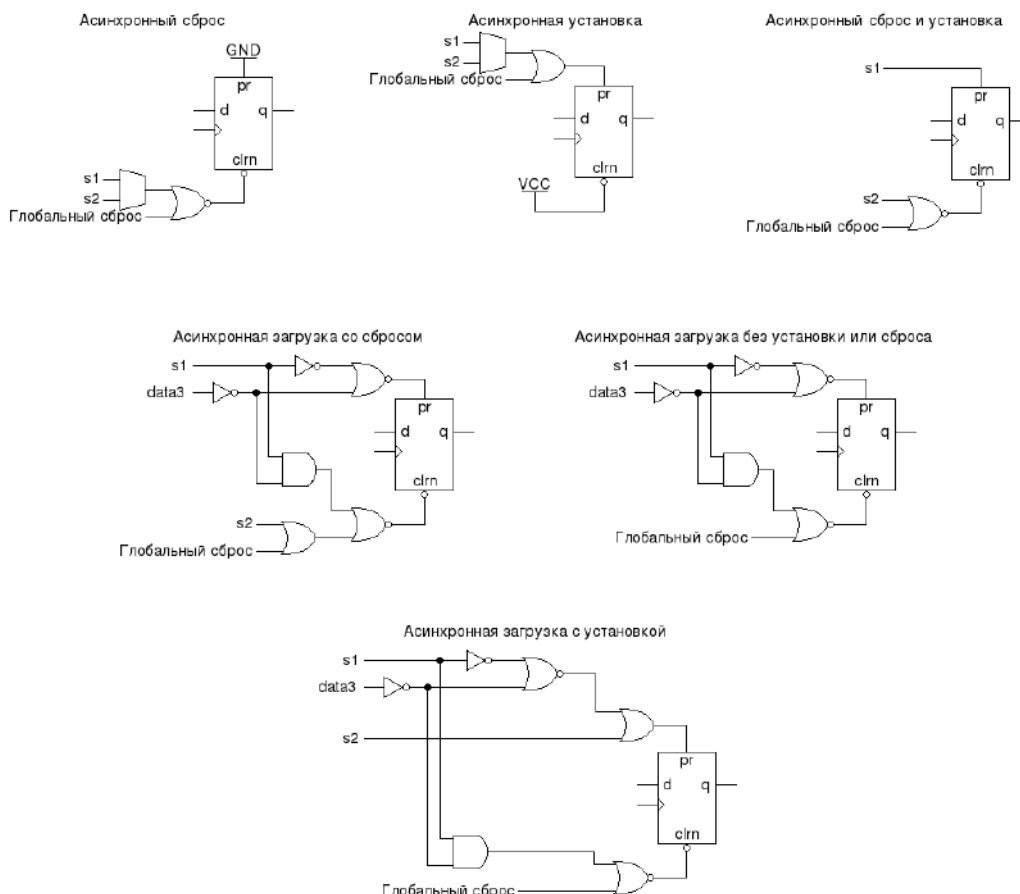


Рисунок 9 – Управление логикой сброса и установки

4.3 Блок встроенной памяти

Программируемая логическая микросхема содержит 6 блоков встроенной памяти, каждый из которых имеет объем памяти 4 096 бит и содержит регистры на входе и выходе.

Блоки встроенной памяти могут быть использованы для создания синхронного или асинхронного ОЗУ, двухпортового ОЗУ, FIFO. Возможны следующие конфигурации встроенной памяти: 256×16, 512×8, 1 024×4, 2 048×2.

Для управления входными и выходными регистрами блоков встроенной памяти и генерации сигнала разрешения записи можно использовать независимые тактовые сигналы выделенных входов, глобальных тактовых входов или внутренних сигналов системы локальных межсоединений блоков встроенной памяти. Входные данные и входы адреса блоков встроенной памяти подключены через систему локальных межсоединений к ряду системы межсоединений. Выходные данные можно коммутировать на ряд и на колонку системы межсоединений.

Блоки встроенной памяти поддерживают одно- и двухпортовый режим работы. В двухпортовом режиме, благодаря возможности использования независимых тактовых сигналов для записи и чтения, запись и чтение могут производиться с разной скоростью. Кроме того, разделенные сигналы разрешения записи и чтения позволяют осуществлять независимый контроль записи и чтения.

Структурная схема блока встроенной памяти в двухпортовом режиме показана на рисунке 10, в однопортовом режиме – на рисунке 11.

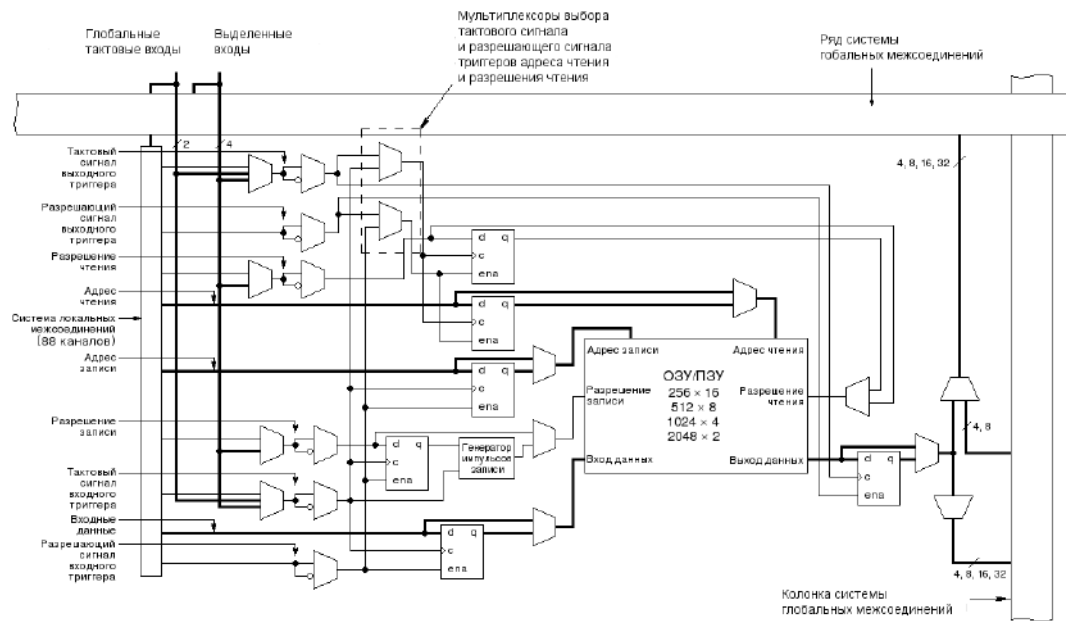


Рисунок 10 – Структурная схема блока встроенной памяти в двухпортовом режиме

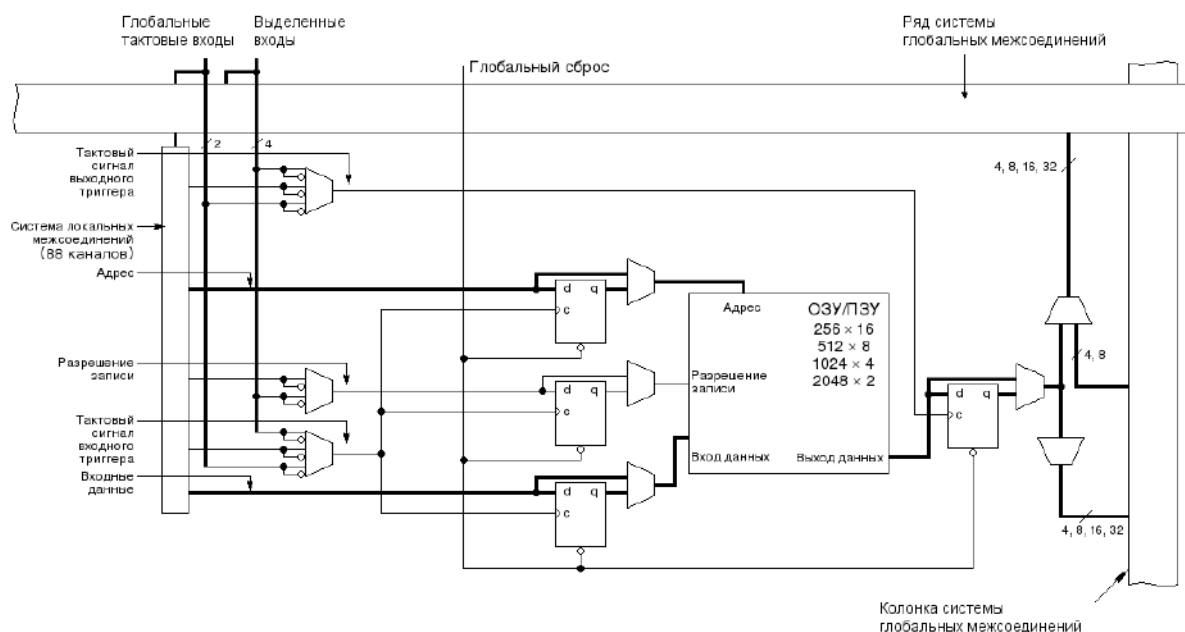


Рисунок 11 – Структурная схема блока встроенной памяти в однопортовом режиме

4.4 Система межсоединений

Коммутация логических блоков, блоков встроенной памяти и элементов ввода-вывода осуществляется с помощью системы глобальных межсоединений (рядов и колонок), которые связывают устройство в единое целое. Структурные элементы системы глобальных межсоединений приведены в таблице 7.

Таблица 7

Тип ПЛИМ	Количество рядов	Количество каналов в ряду	Количество колонок	Количество каналов в колонке
5576XC7T	6	216	36	24

При такой структуре трассировки логические элементы могут соединяться друг с другом при помощи только одного канала из ряда системы глобальных межсоединений, что обеспечивает фиксированную задержку даже при реализации сложных проектов. Данные из каналов ряда системы глобальных межсоединений поступают в систему локальных межсоединений и далее на входы логических блоков и блоков встроенной памяти.

Каждый ряд логических блоков и блоков встроенной памяти имеет свой набор горизонтальных каналов из ряда межсоединений. На входы логических блоков и блоков встроенной памяти сигналы приходят только с каналов рядов системы межсоединений.

Каждый логический элемент в логическом блоке имеет выход на два канала из ряда межсоединений. На каждый из этих каналов сигнал может заводиться с трёх каналов из колонки межсоединений. Такая организация выходного коммутатора позволяет осуществлять переход с каналов колонки межсоединений на каналы ряда.

Каждая колонка логических блоков и блоков встроенной памяти имеет свой набор вертикальных каналов из колонки межсоединений. Колонка, обслуживающая блок встроенной памяти имеет в два раза больше каналов, чем колонка, обслуживающая логический блок. Данные с каналов колонки системы глобальных межсоединений поступают на элементы ввода-вывода. Каждый логический элемент в логическом блоке имеет выход на два канала из колонки межсоединений. В пределах каждого логического блока можно осуществить переход с шести каналов из ряда на шесть каналов из колонки межсоединений (рисунок 12).

Подп. и дата	
Инв. № дубл.	
инв. №	
Подп. и дата	

Инв. № подл.	
--------------	--

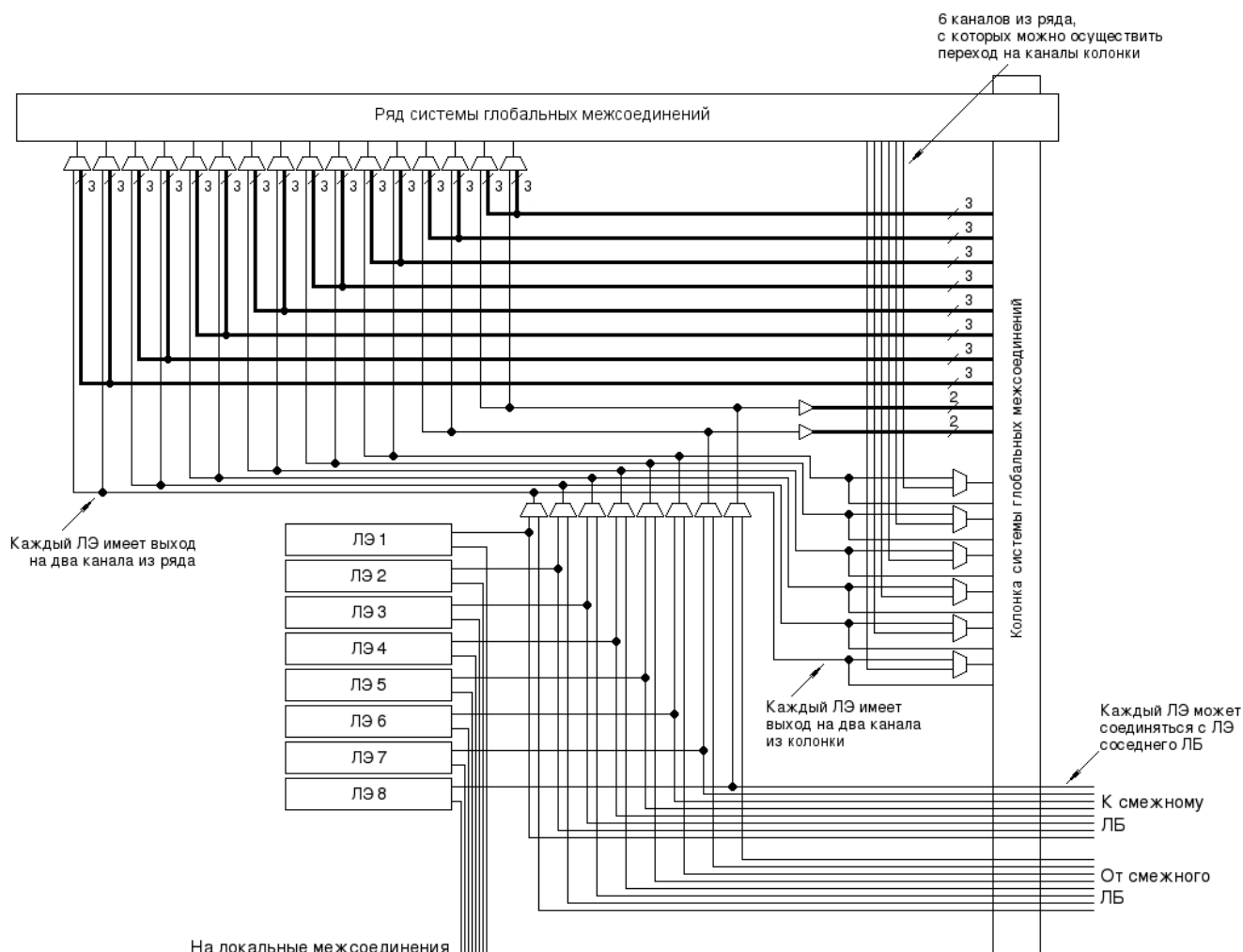


Рисунок 12 – Подключение логического блока к колонке и ряду системы межсоединений

Связь между логическими блоками и блоками встроенной памяти, расположенными в разных рядах, осуществляется посредством колонки межсоединений. В этом случае сигнал из колонки межсоединений должен быть перенесен в ряд межсоединений, прежде чем он поступит на вход логического блока и блока встроенной памяти.

Для оптимизации трассировки ряды межсоединений включают в себя каналы двух типов:

- каналы полной длины (Global Fast Track), которые обслуживают все логические блоки и блоки встроенной памяти в ряду;
- каналы половинной длины (Half Fast Track), которые в свою очередь делятся на каналы левой половины ряда (Left Half Fast Track) и каналы правой половины ряда (Right Half Fast Track). Каналы типа Left Half Fast Track обслуживают логические блоки и блоки встроенной памяти из левой половины ряда, а каналы типа Right Half Fast Track обслуживают логические блоки памяти из правой поло-

вины ряда. Выходы логических элементов могут быть скоммутированы как на каналы полной длины, так и на каналы половинной длины, поэтому соседние логические блоки могут быть соединены за счёт использования половины канала, при этом сохраняется другая половина канала для другой половины ряда. Выходы блоков встроенной памяти могут быть скоммутированы только на каналы с полной длиной.

Рисунок 13 показывает связь логических блоков с рядами и колонками межсоединений, а так же связь логических блоков по цепям каскадирования и переноса.

Логические блоки и логические элементы ПЛМ также связаны внутренними межсоединениями, к которым относятся:

- внутренние быстрые глобальные межсоединения (Fast Track Interconnect);
- специализированные цепи переноса, обеспечивающие поддержку арифметических функций, таких как быстроедействующие сумматоры, счётчики и компараторы (используется автоматически программным обеспечением);
- специализированные цепи каскадирования, обеспечивающие поддержку высокоскоростных функций с высоким коэффициентом разветвления на входе (используется автоматически программным обеспечением).

Подп. и дата	
Инв. № дубл.	
инв. №	
Подп. и дата	

Инв. № подл.	
--------------	--

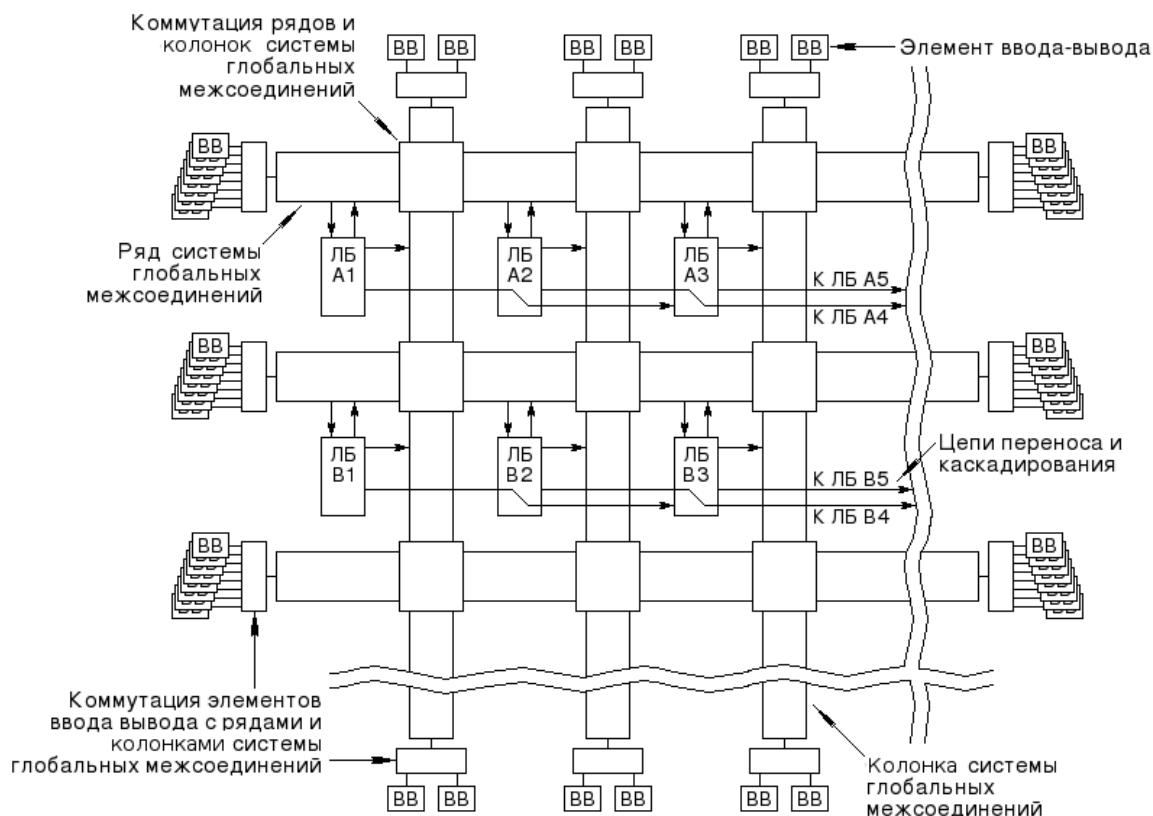


Рисунок 13 – Структура системы межсоединений

Кроме системы глобальных межсоединений ПЛМ имеет четыре выделенных входа и два глобальных тактовых входа, которые обеспечивают прохождение сигналов с малым разбросом (skew) по всему устройству. Эти шесть входов могут быть использованы для глобального тактирования, сброса, установки и управления третьим состоянием, а также в качестве входов данных для всех логических блоков, блоков встроенной памяти и элементов ввода-вывода.

4.5 Элемент ввода-вывода

Для согласования ПЛМ с внешними устройствами используются элементы ввода-вывода. Количество элементов ввода-вывода равно 16 – в каждом ряду и 4 – в каждой колонке.

ПЛМ имеет расширенную функциональность пользовательских элементов ввода-вывода, выделенных и глобальных тактовых входов:

- режим Pull-Up – включает программируемый нагрузочный резистор для установления и поддержки на выводах пользователя высокого логического уровня;
- режим Pull-Down – включает программируемый нагрузочный резистор для установления и поддержки на выводах пользователя низкого логического уровня;

- режим Bus-Hold – включает программируемую функцию удержания выводов пользователя в последнем состоянии.

Такие режимы работы элементов ввода-вывода, выделенных и глобальных тактовых входов позволяют исключить «плавающее» состояние на выводах микросхемы, которые находятся в Z-состоянии и предотвратить их непреднамеренное переключение в случае отсутствия сигнала на шине управления. Режимы Pull-Up, Pull-Down, Bus-Hold являются взаимоисключающими. Программирование расширенной функциональности элементов ввода-вывода ПЛМ проводится с помощью программного обеспечения «Инструментарий для программирования дополнительных режимов работы и расширенной функциональности элементов ввода/вывода ПЛМ 5576XC7Т».

Элементы ввода-вывода ПЛМ имеют индивидуальный сигнал разрешения третьего состояния для каждого вывода, возможность использования опции «открытый сток» для каждого вывода, программируемую опцию slew-rate control для снижения помех при переключениях, программируемый триггер.

Схема элемента ввода-вывода приведена на рисунке 14. Он содержит двунаправленный буфер и триггер, который можно использовать как входной регистр для внешних данных с малым временем предустановки или как выходной регистр с малым временем задержки сигнала от тактового входа до выхода. Каждый элемент ввода-вывода может быть сконфигурирован как вход, выход или двунаправленный вход/выход.

Для сокращения времени удержания сигнала предусмотрено включение программируемой задержки. В случае необходимости сокращения времени предустановки программируемая задержка может быть отключена.

Элементы ввода-вывода обслуживаются высокоскоростной периферийной шиной управления. Эта шина состоит из 12 разрядов, которые можно разделить по функциональному назначению следующим образом:

- до восьми сигналов управления третьим состоянием;
- до шести сигналов разрешения тактового сигнала;
- до двух тактовых сигналов;
- до двух сигналов сброса.

При необходимости использования более восьми сигналов управления третьим состоянием или более шести сигналов разрешения тактового сигнала могут быть задействованы дополнительные сигналы, поступающие со специально предназначенных горизонтальных или вертикальных каналов системы глобальных межсоединений.

Инв. № подл.	Подп. и дата	инв. №	Инв. № дубл.	Подп. и дата

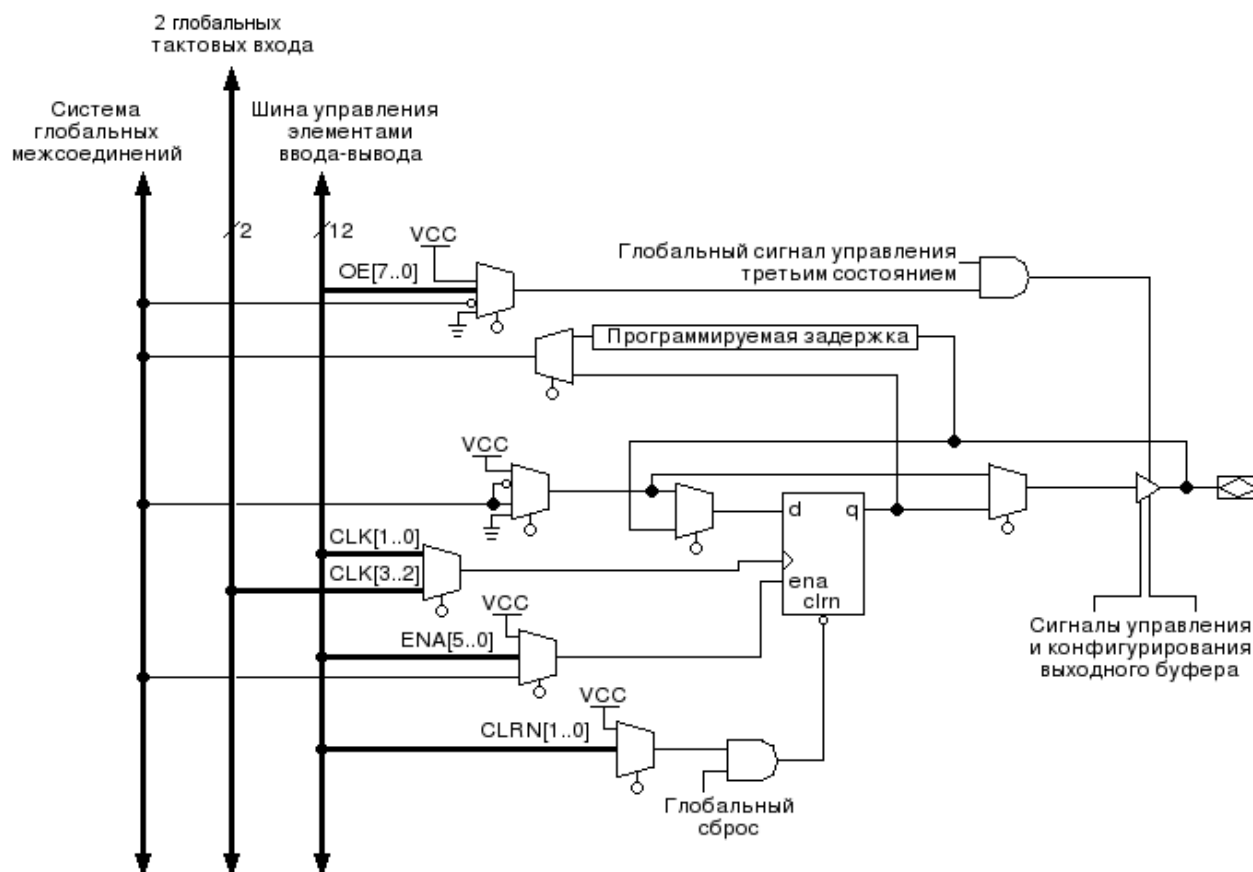


Рисунок 14 – Схема элемента ввода-вывода

В дополнение к двум тактовым сигналам, имеющимся в периферийной шине управления, каждый элемент ввода-вывода может управляться одним из двух глобальных тактовых входов.

На каждый разряд периферийной шины управления сигнал может поступать с любого из четырех выделенных входов или с любого из двух глобальных тактовых входов. Кроме того, на каждый разряд периферийной шины управления сигнал может поступать с первого логического элемента каждого логического блока через ряд межсоединений или с других логических элементов через колонку межсоединений.

Сигнал глобального сброса осуществляет сброс всех триггеров элементов ввода-вывода независимо от значения других сигналов управления.

В таблице 8 приведены периферийные сигналы управления и ряды, в которых они формируются.

Подп. и дата

Инв. № дубл.

инв. №

Подп. и дата

Инв. № подл.

Таблица 8 – Формирование периферийных сигналов управления

Периферийный сигнал управления	Ряд, управляющий глобальным сигналом
OE0	A
OE1	B
OE2	C
OE3	D
OE4	E
OE5	F
ENA0/CLK0	A
ENA1/OE6	B
ENA2/CLRN0	C
ENA3/OE7	D
ENA4/CLRN1	E
ENA5/CLK1	F

4.5.1 Соединение элементов ввода-вывода с горизонтальными каналами

На рисунке 15 показана коммутация между элементами ввода-вывода и рядом межсоединений. Когда элемент ввода-вывода сконфигурирован как вход, то он может управлять двумя каналами ряда, которые доступны всем логическим элементам данного ряда. Когда элемент ввода-вывода сконфигурирован как выход, сигнал на вывод микросхемы поступает с одного из 27 каналов ряда. К каждому ряду межсоединений подключено по восемь элементов ввода-вывода с левой и правой сторон кристалла.

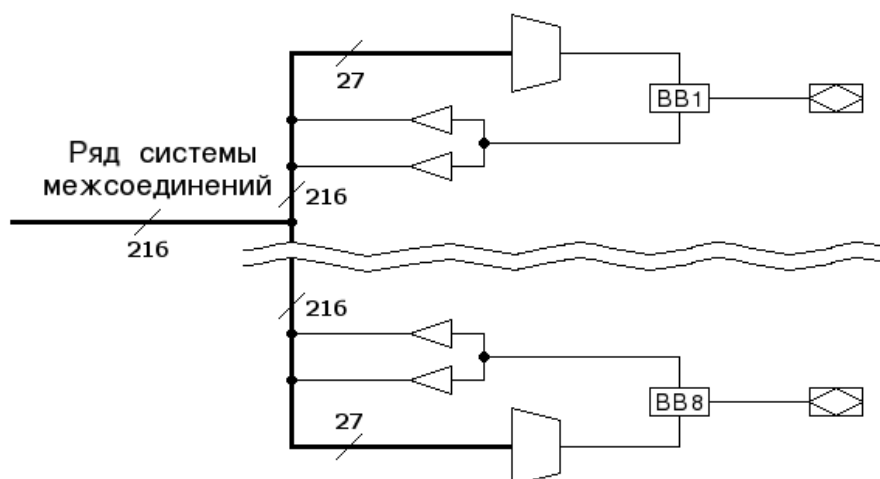


Рисунок 15 – Коммутация элементов ввода-вывода и ряда межсоединений

4.5.2 Соединение элементов ввода-вывода с вертикальными каналами

На рисунке 16 показано соединение между колонкой межсоединений и элементами ввода-вывода. К каждой колонке межсоединений подключено по два элемента ввода-вывода с верхней и нижней сторон кристалла. Когда элемент ввода-вывода сконфигурирован как вход, то он может управлять двумя каналами из колонки. Когда элемент ввода-вывода сконфигурирован как выход, сигнал на вывод микросхемы поступает с одного из 16 каналов колонки.

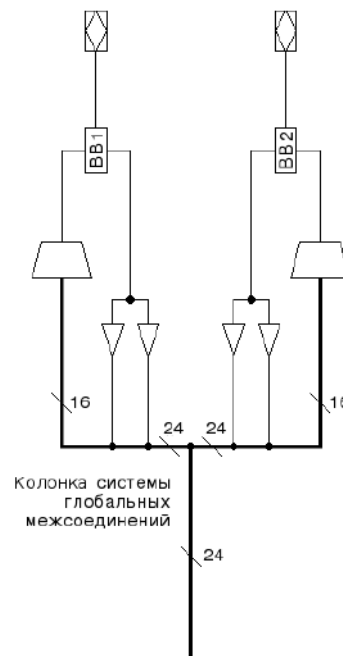


Рисунок 16 – Коммутация элементов ввода-вывода и колонки межсоединений

4.5.3 Контроль скорости нарастания выходного напряжения

Выходные буферы в каждом элементе ввода-вывода имеют регулируемую скорость изменения выходного напряжения. Возможна настройка выходного буфера под малощумящий или высокоскоростной режим работы. Понижение скорости изменения выходного напряжения уменьшает помехи по шинам питания и приводит к увеличению времени задержки. Большую скорость изменения выходного напряжения следует использовать для цепей в достаточной мере защищенных от помех.

4.5.4 Выход с открытым стоком

Любой пользовательский элемент ввода-вывода можно сконфигурировать как выход с открытым стоком (электрический эквивалент открытого коллектора).

Наличие этой опции позволяет обеспечить получение сигналов контроля системного уровня (такие как сигнал прерывания, сигнал разрешения записи), а также дает возможность реализации логической схемы типа монтажного «ИЛИ».

4.6 Блок JTAG

ПЛИМ содержит встроенный блок JTAG, соответствующий стандарту IEEE Std 1149.1, который предназначен для многократного конфигурирования ПЛИМ в режиме отладки проекта, однократного программирования конфигурационной памяти микросхемы, проведения периферийного сканирования и тестирования ПЛИМ в составе системы.

Конструкция блока JTAG представлена на рисунке 17. Назначение управляющих выводов TDI, TDO, TMS, TCK, TRST приведено в таблице 9.

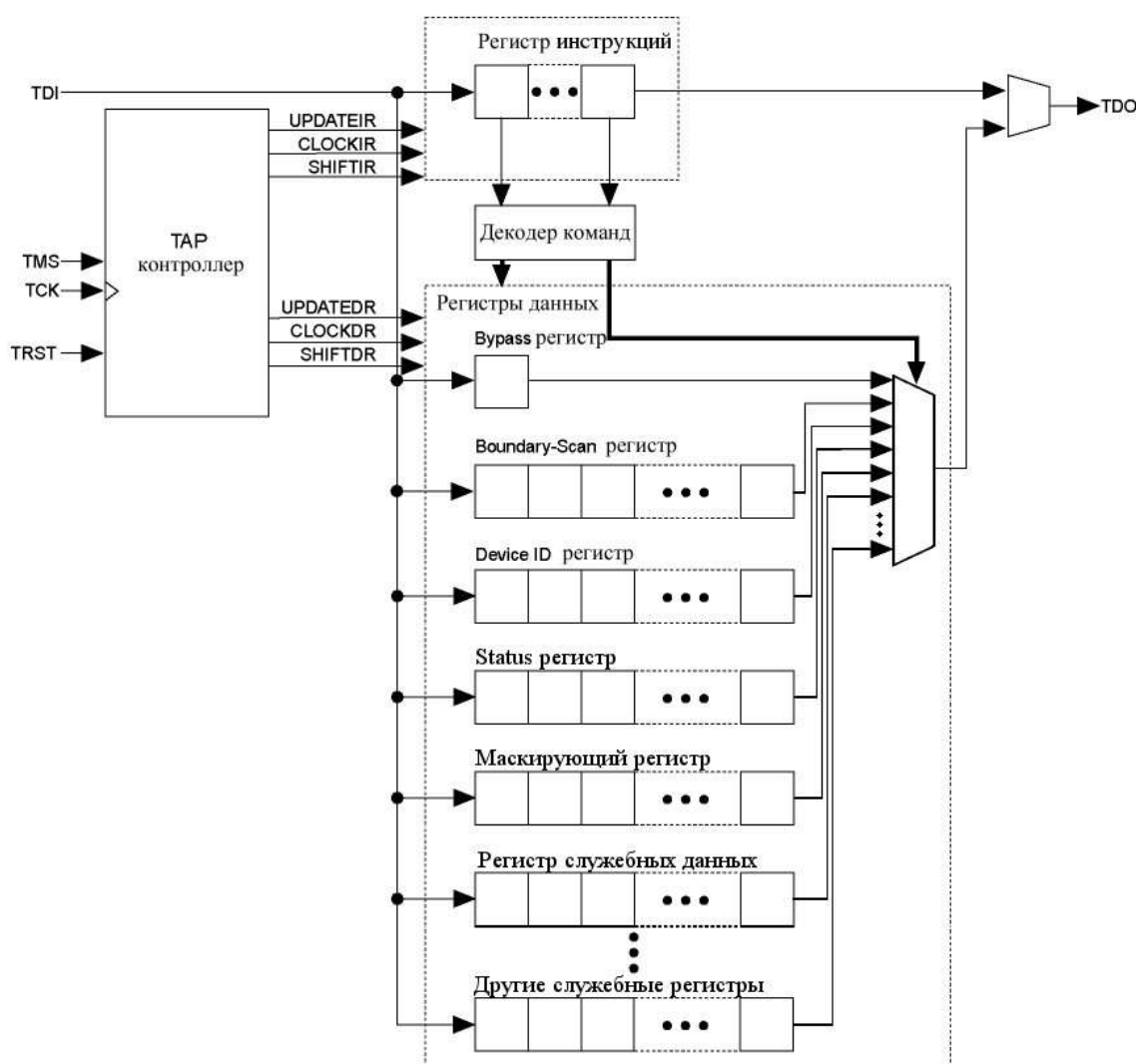


Рисунок 17 – Блок JTAG

Таблица 9 – Назначение и описание внешних выводов блока JTAG

Обозначение вывода	Функциональное назначение вывода	Описание
TDI	Вход данных JTAG	Последовательный вход данных. Данные захватываются по переднему фронту сигнала TCK
TDO	Выход данных JTAG	Последовательный выход. Данные выводятся по заднему фронту сигнала TCK. Если выход не используется, то он находится в Z-состоянии
TMS	Управление состоянием TAP контроллера JTAG	Вход сигнала, управляющего переходами автомата состояний TAP контроллера. Сигнал TMS должен быть установлен до срабатывания переднего фронта TCK
TCK	Тактовый вход JTAG	Вход тактового сигнала
TRST	Асинхронный сброс TAP контроллера JTAG	Вход асинхронного сброса. Сброс состояния TAP контроллера происходит при переключении входа TRST в низкий логический уровень

Подробное описание временных параметров и инструкций блока JTAG представлено в инструкции по программированию ГПКФ.431263.001Д4.

4.7 Система периферийного сканирования

Система периферийного сканирования представляет собой последовательный сдвиговый регистр, вход которого подключен к выводу TDI, а выход подключен к TDO. На рисунке 18 представлена конструкция регистра периферийного сканирования (Boundary-Scan).

Ячейка Boundary-Scan регистра представлена на рисунке 19. Ячейки системы периферийного сканирования, каждая из которых содержит 3 бита, объединены в Boundary-Scan регистр. Длина Boundary-Scan регистра ПЛМ составляет 690 бит.

Инв. № подл.			
Подп. и дата	инв. №	Инв. № дубл.	Подп. и дата

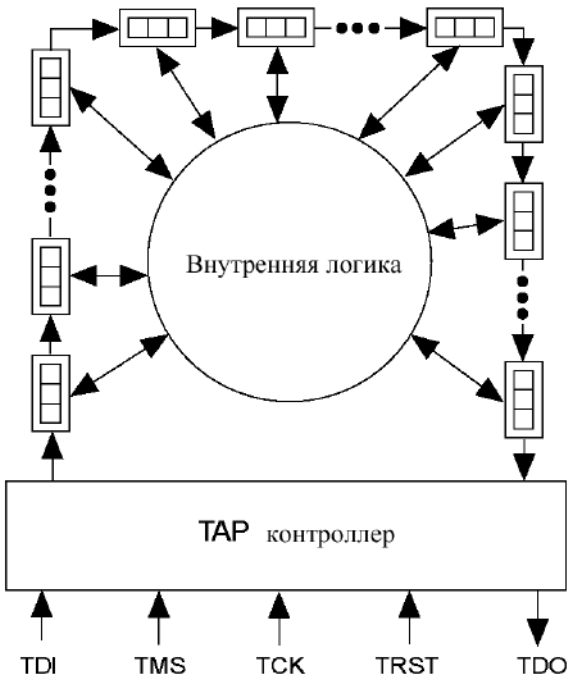


Рисунок18 – Конструкция Boundary-Scan регистра

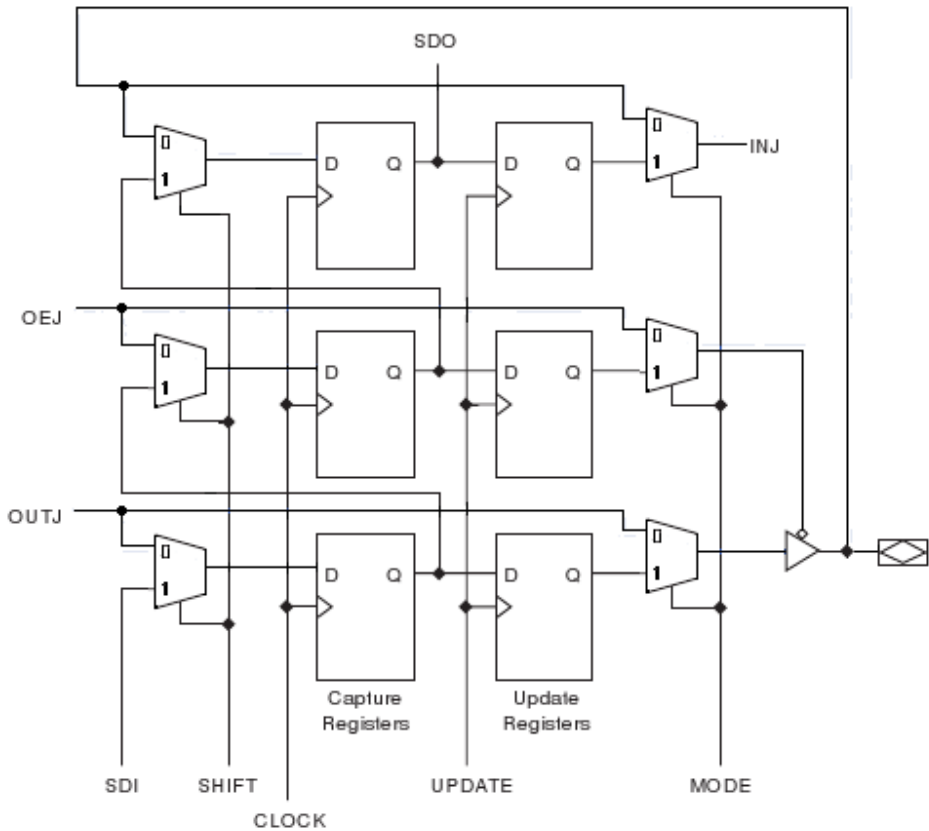


Рисунок 19 – Ячейка Boundary-Scan регистра

Подп. и дата	
Подп. и дата	
инв. №	
инв. № дубл.	

инв. № подл.	
--------------	--

5 Расчет рассеиваемой мощности ПЛМ

Приведенный **выше** расчет позволяет получить приблизительную оценку рассеиваемой мощности P_{tot} (Вт) конкретного проекта.

Рассеиваемую мощность P_{tot} , Вт, вычисляют по формуле

$$P_{\text{tot}} = P_{\text{tot1}} + P_{\text{tot2}}, \quad (1)$$

где P_{tot1} – рассеиваемая мощность ядра, Вт;

P_{tot2} – рассеиваемая мощность периферии, Вт.

Рассеиваемую мощность ядра P_{tot1} , Вт, вычисляют по формуле

$$P_{\text{tot1}} = (I_{\text{CC1}} + I_{\text{OCC1}}) \cdot U_{\text{CC1}}, \quad (2)$$

где I_{CC1} – ток потребления ядра, А;

I_{OCC1} – динамический ток потребления ядра, А;

U_{CC1} – напряжение питания ядра, В.

Динамический ток потребления ядра I_{OCC1} , А, вычисляют по формуле

$$I_{\text{OCC1}} = K \cdot f_c \cdot N_{\text{LC}} \cdot \log_{\text{LC}} \cdot 10^{-6}, \quad (3)$$

где K – коэффициент пропорциональности величины тока потребления от частоты, мкА/МГц. Данный коэффициент зависит от проекта (конфигурации логического элемента и нагрузки, подключенной к его выходу) и внешних условий (напряжения питания и температуры). Для типового проекта $K = 5,9$ мкА/МГц;

f_c – частота следования импульсов тактового сигнала, МГц, определяемая разработчиком аппаратуры;

N_{LC} – количество задействованных в данном проекте логических элементов;

$\log_{\text{LC}}$ – средняя доля от задействованных в проекте логических элементов, переключающихся по каждому такту (типовое значение 0,125).

Рассеиваемую мощность периферии P_{tot2} , Вт, вычисляют по формуле

$$P_{\text{tot2}} = I_{\text{CC2}} \cdot U_{\text{CC2}} + \sum I_{\text{OLi}} \cdot U_{\text{OLi}} + \sum |I_{\text{OHi}}| \cdot (U_{\text{CC2}} - U_{\text{OHi}}) + I_{\text{OCC2}} \cdot U_{\text{CC2}}, \quad (4)$$

где I_{CC2} – ток потребления периферии, А;

I_{OLi} – ток нагрузки низкого уровня для i -го выхода, А;

U_{OLi} – выходное напряжение низкого уровня для i -го выхода, В;

I_{OHi} – ток нагрузки высокого уровня для i -го выхода, А;

U_{OHi} – выходное напряжение высокого уровня для i -го выхода, В;

I_{OCC2} – динамический ток потребления периферии, А;

U_{CC2} – напряжение питания периферии, В.

Динамический ток потребления периферии I_{OCC2} , А, вычисляют по формуле

$$I_{\text{ОСС2}} = 0,5 \cdot C_L \cdot f_c \cdot N_{\text{IO}} \cdot \text{tog}_{\text{IO}} \cdot (U_{\text{OH}} - U_{\text{OL}}) \cdot 10^{-6}, \quad (5)$$

где C_L – средняя ёмкость нагрузки на выходе ПЛИС, пФ;

N_{IO} – количество задействованных в данном проекте элементов ввода-вывода;

tog_{IO} – средняя доля от задействованных в проекте элементов ввода-вывода, переключающихся по каждому такту (типовое значение 0,125).

Подп. и дата	
Инв. № дубл.	
инв. №	
Подп. и дата	

Инв. № подл.	
--------------	--

[illegible]

Подп. и дата	инв. №	Инв. № дубл.	Подп. и дата
--------------	--------	--------------	--------------

Инв. № подл.