

Содержание

1	Введение.....	3
2	Назначение.....	3
3	Основные технические характеристики.....	3
3.1	Основные функциональные параметры ПЛИС.....	3
3.2	Особенности ПЛИС.....	4
3.3	Особенности внутренних межсоединений ПЛИС.....	5
3.4	Особенности элементов ввода-вывода ПЛИС.....	5
3.5	Особенности САПР для ПЛИС.....	5
3.6	Электрические параметры ПЛИС при приемке и поставке.....	6
3.7	Предельно допустимые и предельные режимы эксплуатации ПЛИС...	7
4	Условное обозначение и назначение выводов ПЛИС.....	8
5	Описание архитектуры ПЛИС.....	17
5.1	Блок встроенной памяти.....	19
5.2	Логический блок.....	20
5.3	Логический элемент.....	21
5.3.1	Режимы работы логического элемента.....	22
5.3.1.1	Нормальный режим.....	23
5.3.1.2	Арифметический режим.....	24
5.3.1.3	Режим суммирующего/вычитающего счетчика.....	24
5.3.1.4	Режим сбрасываемого счетчика.....	25
5.3.2	Управление логикой сброса и установки.....	25
5.4	Система межсоединений.....	27
5.5	Элемент ввода-вывода.....	31
5.5.1	Соединение элементов ввода-вывода с горизонтальными каналами...	33
5.5.2	Соединение элементов ввода-вывода с вертикальными каналами.....	33
5.5.3	Контроль скорости нарастания выходного напряжения.....	34
5.5.4	Выход с открытым стоком.....	35
5.6	Поддержка периферийного сканирования.....	35
6	Тестирование.....	35
7	Расчет рассеиваемой мощности ПЛИС.....	35

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

1 Введение

Настоящее техническое описание (ТО) предназначено для изучения программируемых логических интегральных схем 5576XC8T (далее ПЛИС) и содержит описание принципа работы, технические характеристики и другие сведения, необходимые для обеспечения полного использования технических возможностей микросхем.

2 Назначение

Данные микросхемы являются результатом разработки серии отечественных радиационно-стойких ПЛИС емкостью 50 тысяч логических вентилей с возможностью многократного изменения конфигурации в составе аппаратуры.

Разрабатываемые ПЛИС позволят снизить габариты и массу аппаратуры в (2–3) раза, увеличить надежность функционирования и обеспечить техническую независимость от поставок электрорадиоизделий иностранного производства.

ПЛИС 5576XC8T функционально совместима с изделием EPF10K50E ф. Altera, но не является её полным аналогом.

3 Основные технические характеристики

Кристаллы ПЛИС изготовлены по КМОП-технологии с минимальными проектными нормами 0,18 мкм, с одним уровнем поликремния и шестью уровнями металлизации.

Значение потенциала статического электричества не должно превышать 2 000 В.

3.1 Основные функциональные параметры ПЛИС

Основные функциональные параметры ПЛИС приведены в таблице 1.

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

Таблица 1

Параметр		Значение
Емкость, логических вент.		50 000
Количество эквивалентных логических элементов ¹⁾		2 880
Количество логических блоков		360
Количество блоков встроенной памяти		10
Объем встроенной памяти, бит		40 960
Количество триггеров		3 063 ²⁾
Количество пользовательских выводов	программируемые элементы ввода-вывода	80
	выделенные входы	4
	глобальные тактовые входы	2
	всего	86

¹⁾ Эквивалентным логическим элементом принят логический элемент серии FLEX ф. Altera, состоящий из 4-х входного LUT, цепей ускоренного переноса, триггера и схем его управления.

²⁾ По восемь триггеров в каждом логическом блоке и по одному в каждом пользовательском элементе ввода-вывода.

3.2 Особенности ПЛИС

ПЛИС 5576XC8T имеет следующие особенности:

- блоки встроенной памяти для реализации мегафункций;
- логические блоки для основных логических функций;
- напряжение питания ядра 1,8 В;
- напряжение питания периферии 3,3 В;
- режим «холодного резервирования» (отсутствие тока на выводах микросхемы при выключенном питании);
- встроенный блок тестирования [Joint Test Action Group (JTAG)] с использованием схемы периферийного сканирования (СПС), совместимый с IEEE Std. 1149.1;
- встроенную систему реконфигурации (ICR), обеспечивающую многократное программирование посредством специальной микросхемы памяти 5576PT1У, загрузочных кабелей типа ByteBlaster, микропроцессора;
- программируемый режим верификации конфигурационной памяти без выхода из рабочего состояния (VERIFICATION);
- программируемый режим циклической перезаписи конфигурационной памяти (SCRUBBING).

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

3.3 Особенности внутренних межсоединений ПЛИС

Внутренние межсоединения ПЛИС обладают рядом особенностей:

- внутренние быстрые глобальные межсоединения (Fast Track Interconnect);
- специализированная цепь переноса, обеспечивающая поддержку арифметических функций, таких как быстродействующие сумматоры, счётчики и компараторы (используется автоматически программным обеспечением);
- специализированная цепь каскадирования, обеспечивающая поддержку высокоскоростных функций с высоким коэффициентом разветвления на входе (используется автоматически программным обеспечением);
- до шести глобальных тактовых сигналов и четырех глобальных сигналов сброса.

3.4 Особенности элементов ввода-вывода ПЛИС

Элементы ввода-вывода ПЛИС имеют:

- индивидуальный сигнал разрешения третьего состояния для каждого вывода;
- возможность использования опции «открытый сток» для каждого вывода;
- снижение помех при переключениях за счёт программируемой опции slew-rate control;
- расширенную функциональность (программируемые опции Bus-Hold, Pull-Up, Pull-Down);
- программируемый триггер.

3.5 Особенности САПР для ПЛИС

Для создания проектов используется САПР ф. Altera MAX+PLUS II или Quartus II. При разработке проекта возможна автоматическая генерация файла размещения выводов ПЛИС 5576XC8T при помощи специального приложения «create_assignments», входящего в программное обеспечение «Инструментарий для формирования конфигурационных данных ПЛИС 5576XC6T и 5576XC8T».

Для преобразования файла конфигурации и программирования расширенной функциональности ПЛИС (режимы VERIFICATION, SCRUBBING, Bus-Hold, Pull-Up, Pull-Down элементов ввода-вывода) так же используется программное обеспечение собственной разработки «Инструментарий для формирования конфигурационных данных ПЛИС 5576XC6T и 5576XC8T», описание которого приведено в ГПКФ.431262.007Д4.

Инов. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

3.6 Электрические параметры ПЛИС при приемке и поставке

Значения электрических параметров ПЛИС при приемке и поставке приведены в таблице 2.

Таблица 2 – Электрические параметры ПЛИС при приемке и поставке

Наименование параметра, единица измерения, режим измерения	Буквенное обозначение параметра	Норма параметра		Температура среды, °C	Примечание
		не менее	не более		
1	2	3	4	5	6
Выходное напряжение низкого уровня, В, $U_{CC1} = 1,71 \text{ В}$, $U_{CC2} = 3,0 \text{ В}$, $I_{OL} = 4,0 \text{ мА}$	U_{OL}	–	0,55	–60 ± 3 25 ± 3 100 ± 3	1
Выходное напряжение высокого уровня, В, $U_{CC1} = 1,71 \text{ В}$, $U_{CC2} = 3,0 \text{ В}$, $I_{OH} = -4,0 \text{ мА}$	U_{OH}	2,0	–		1
Ток потребления ядра, мА, $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{IL} = 0 \text{ В}$; $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{IH} = 3,6 \text{ В}$	I_{CC1}	–	60		1
Ток потребления периферии, мА, $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{IL} = 0 \text{ В}$; $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{IH} = 3,6 \text{ В}$	I_{CC2}	–	30		1, 2
Входной ток низкого уровня, мкА, $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{IL} = 0 \text{ В}$	I_{IL}	–20	–		1, 2
Входной ток высокого уровня, мкА, $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{IH} = 3,6 \text{ В}$	I_{IH}	–	20		

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

Окончание таблицы 2

1	2	3	4	5	6
Выходной ток низкого уровня в состоянии «Выключено», мкА, $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{OZ} = 0 \text{ В}$	I_{OZL}	-20	–	-60 ± 3 25 ± 3 100 ± 3	1, 3
Выходной ток высокого уровня в состоянии «Выключено», мкА, $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{OZ} = 3,6 \text{ В}$	I_{OZH}	–	20		
Длительность тактового интервала межрегистровой пересылки, нс, $U_{CC1} = 1,71 \text{ В}$, $U_{CC2} = 3,0 \text{ В}$	t_{DRR}	–	25		4
Примечания 1 Контролируется после конфигурирования ПЛИС при отключенных режимах Bus-Hold, Pull-Up, Pull-Down на пользовательских входах и входах/выходах. 2 Контролируется на пользовательских входах. 3 Контролируется на пользовательских входах/выходах. 4 Контролируется после конфигурирования ПЛИС.					

3.7 Предельно допустимые и предельные режимы эксплуатации ПЛИС

Предельно допустимые и предельные режимы эксплуатации ПЛИС приведены в таблице 3.

Таблица 3 – Предельно допустимые и предельные режимы эксплуатации ПЛИС

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно допустимый режим		Предельный режим		Примечание
		не менее	не более	не менее	не более	
1	2	3	4	5	6	7
Напряжение питания ядра, В	U_{CC1}	1,71	1,89	-0,5	2,2	–
Напряжение питания периферии, В	U_{CC2}	3,0	3,6	-0,5	4,0	–
Входное напряжение низкого уровня, В	U_{IL}	0	0,8	-0,5	–	1

Окончание таблицы 3

1	2	3	4	5	6	7
Входное напряжение высокого уровня, В	U_{IH}	2,0	3,6	–	4,0	1
Напряжение, прикладываемое к выводу в состоянии «Выключено», В	U_{OZ}	0	3,6	–0,5	4,0	1, 2
Выходной ток низкого уровня, мА	I_{OL}	–	4,0	–	24	1, 3
Выходной ток высокого уровня, мА	I_{OH}	–4,0	–	–24	–	1, 3
Ток по выводу питания, мА	I_{VCC}	–	–	–	100	4
Ток по общему выводу, мА	I_{GND}	–	–	–100	–	4
Емкость нагрузки, пФ	C_L	–	50	–	200	–

Примечания

1 Для пользовательских выводов.

2 Величина тока по выходу не должна превышать предельную норму выходного тока.

3 Сумма токов по выходам не должна превышать суммы предельных значений токов по каждому выводу питания или общему выводу.

4 По каждому отдельному выводу микросхемы, подключенному к источнику питания ядра или периферии.

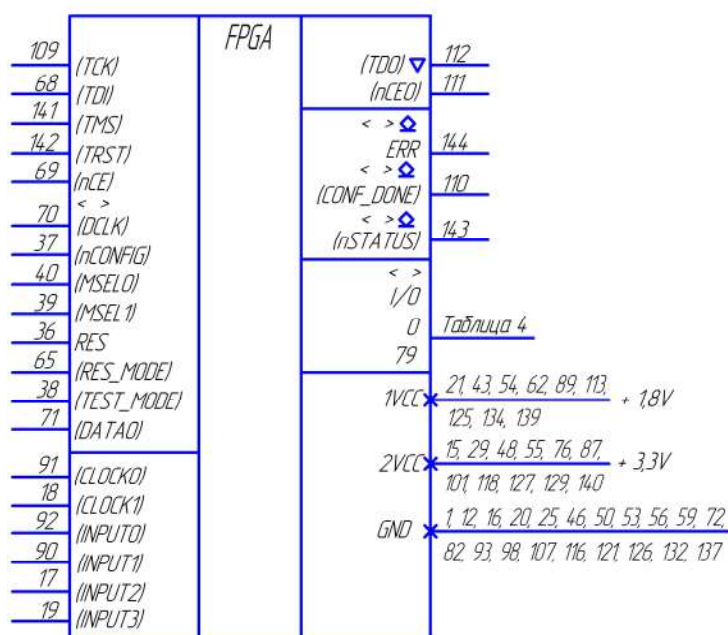
4 Условное обозначение и назначение выводов ПЛИС

Разработанные ПЛИС выполнены в планарных металлокерамических 144-выводных корпусах 4248.144–1 с обводной керамической рамкой и шагом выводов 0,5 мм с покрытием на основе золота.

Условное графическое обозначение микросхемы 5576ХС8Т приведено на рисунке 1.

Функциональное назначение выводов микросхемы 5576ХС8Т приведено в таблице 5.

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата



FPGA – программируемая логическая интегральная схема (ПЛИС);
TCK – тактовый вход JTAG;
TDI – вход данных JTAG;
TMS – управление состоянием TAP контроллера JTAG;
TRST – асинхронный сброс TAP контроллера JTAG;
nCE – разрешение конфигурирования в режиме Download;
DCLK – тактовый вход-вывод Download;
nCONFIG – сброс конфигурации;
MSEL – выбор типа конфигурирования в режиме Download;
RES_MODE – выбор режима глобального сброса;
TEST_MODE – управление тестовым режимом;
DATA0 – вход данных Download;
CLOCK – глобальный тактовый вход;
INPUT – выделенный вход;
TDO – выход данных JTAG;
nCEO – разрешение конфигурирования следующей схемы в цепочке;
CONF_DONE – окончание конфигурирования;
nSTATUS – готовность к конфигурированию или ошибка при конфигурировании.

Таблица 4

Номер вывода	2	3	4	5	6	7	8	9	10	11	13	14	22	23	24	26
Метка вывода	I/00	I/01	I/02	I/03	I/04	I/05	I/06	I/07	I/08	I/09	I/010	I/011	I/012	I/013	I/014	I/015
Номер вывода	27	28	30	31	32	33	34	35	41	42	44	45	47	49	51	52
Метка вывода	I/016	I/017	I/018	I/019	I/020	I/021	I/022	I/023	I/024	I/025	I/026	I/027	I/028	I/029	I/030	I/031
Номер вывода	57	58	60	61	63	64	66	67	73	74	75	77	78	79	80	81
Метка вывода	I/032	I/033	I/034	I/035	I/036	I/037	I/038	I/039	I/040	I/041	I/042	I/043	I/044	I/045	I/046	I/047
Номер вывода	83	84	85	86	88	94	95	96	97	99	100	102	103	104	105	106
Метка вывода	I/048	I/049	I/050	I/051	I/052	I/053	I/054	I/055	I/056	I/057	I/058	I/059	I/060	I/061	I/062	I/063
Номер вывода	108	114	115	117	119	120	122	123	124	128	130	131	133	135	136	138
Метка вывода	I/064	I/065	I/066	I/067	I/068	I/069	I/070	I/071	I/072	I/073	I/074	I/075	I/076	I/077	I/078	I/079

Рисунок 1 – Условное графическое обозначение микросхемы интегральной 5576XC8T в корпусе 4248.144–1

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

Таблица 5 – Функциональное назначение выводов микросхемы интегральной 5576XC8T

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
1	GND	Общий	—	—
2	I/O0	Программируемый ввод-вывод	Вход/выход	Пользовательский
3	I/O1	Программируемый ввод-вывод	Вход/выход	Пользовательский
4	I/O2	Программируемый ввод-вывод	Вход/выход	Пользовательский
5	I/O3	Программируемый ввод-вывод	Вход/выход	Пользовательский
6	I/O4	Программируемый ввод-вывод	Вход/выход	Пользовательский
7	I/O5	Программируемый ввод-вывод	Вход/выход	Пользовательский
8	I/O6	Программируемый ввод-вывод	Вход/выход	Пользовательский
9	I/O7	Программируемый ввод-вывод	Вход/выход	Пользовательский
10	I/O8	Программируемый ввод-вывод	Вход/выход	Пользовательский
11	I/O9	Программируемый ввод-вывод	Вход/выход	Пользовательский
12	GND	Общий	—	—
13	I/O10	Программируемый ввод-вывод	Вход/выход	Пользовательский
14	I/O11	Программируемый ввод-вывод	Вход/выход	Пользовательский
15	2VCC	Питание выходных буферов	—	—
16	GND	Общий	—	—
17	INPUT2	Выделенный вход	Вход	Пользовательский
18	CLOCK1	Глобальный тактовый вход	Вход	Пользовательский
19	INPUT3	Выделенный вход	Вход	Пользовательский
20	GND	Общий	—	—
21	1VCC	Питание ядра	—	—
22	I/O12	Программируемый ввод-вывод	Вход/выход	Пользовательский
23	I/O13	Программируемый ввод-вывод	Вход/выход	Пользовательский
24	I/O14	Программируемый ввод-вывод	Вход/выход	Пользовательский
25	GND	Общий	—	—

Инт. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 5

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
26	I/O15	Программируемый ввод-вывод	Вход/выход	Пользовательский
27	I/O16	Программируемый ввод-вывод	Вход/выход	Пользовательский
28	I/O17	Программируемый ввод-вывод	Вход/выход	Пользовательский
29	2VCC	Питание выходных буферов	—	—
30	I/O18	Программируемый ввод-вывод	Вход/выход	Пользовательский
31	I/O19	Программируемый ввод-вывод	Вход/выход	Пользовательский
32	I/O20	Программируемый ввод-вывод	Вход/выход	Пользовательский
33	I/O21	Программируемый ввод-вывод	Вход/выход	Пользовательский
34	I/O22	Программируемый ввод-вывод	Вход/выход	Пользовательский
35	I/O23	Программируемый ввод-вывод	Вход/выход	Пользовательский
36	RES	Сигнал глобального сброса	Вход	Служебный
37	nCONFIG	Сброс конфигурации	Вход	Служебный
38	TEST_MODE	Управление тестовым режимом	Вход	Служебный
39	MSEL1	Выбор типа конфигурирования в режиме Download	Вход	Служебный
40	MSEL0	Выбор типа конфигурирования в режиме Download	Вход	Служебный
41	I/O24	Программируемый ввод-вывод	Вход/выход	Пользовательский
42	I/O25	Программируемый ввод-вывод	Вход/выход	Пользовательский
43	1VCC	Питание ядра	—	—
44	I/O26	Программируемый ввод-вывод	Вход/выход	Пользовательский
45	I/O27	Программируемый ввод-вывод	Вход/выход	Пользовательский
46	GND	Общий	—	—
47	I/O28	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инт. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 5

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
48	2VCC	Питание выходных буферов	—	—
49	I/O29	Программируемый ввод-вывод	Вход/выход	Пользовательский
50	GND	Общий	—	—
51	I/O30	Программируемый ввод-вывод	Вход/выход	Пользовательский
52	I/O31	Программируемый ввод-вывод	Вход/выход	Пользовательский
53	GND	Общий	—	—
54	1VCC	Питание ядра	—	—
55	2VCC	Питание входных буферов	—	—
56	GND	Общий	—	—
57	I/O32	Программируемый ввод-вывод	Вход/выход	Пользовательский
58	I/O33	Программируемый ввод-вывод	Вход/выход	Пользовательский
59	GND	Общий	—	—
60	I/O34	Программируемый ввод-вывод	Вход/выход	Пользовательский
61	I/O35	Программируемый ввод-вывод	Вход/выход	Пользовательский
62	1VCC	Питание ядра	—	—
63	I/O36	Программируемый ввод-вывод	Вход/выход	Пользовательский
64	I/O37	Программируемый ввод-вывод	Вход/выход	Пользовательский
65	RES_MODE	Выбор режима глобального сброса	Вход	Служебный
66	I/O38	Программируемый ввод-вывод	Вход/выход	Пользовательский
67	I/O39	Программируемый ввод-вывод	Вход/выход	Пользовательский
68	TDI	Вход данных JTAG	Вход	Служебный
69	nCE	Разрешение конфигурирования в режиме Download	Вход	Служебный
70	DCLK	Тактовый ввод-вывод Download	Вход/выход	Служебный
71	DATA0	Вход данных Download	Вход	Служебный
72	GND	Общий	—	—
73	I/O40 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инов. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 5

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
74	I/O41 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
75	I/O42 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
76	2VCC	Питание выходных буферов	—	—
77	I/O43 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
78	I/O44 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
79	I/O45 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
80	I/O46 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
81	I/O47	Программируемый ввод-вывод	Вход/выход	Пользовательский
82	GND	Общий	—	—
83	I/O48	Программируемый ввод-вывод	Вход/выход	Пользовательский
84	I/O49	Программируемый ввод-вывод	Вход/выход	Пользовательский
85	I/O50	Программируемый ввод-вывод	Вход/выход	Пользовательский
86	I/O51	Программируемый ввод-вывод	Вход/выход	Пользовательский
87	2VCC	Питание выходных буферов	—	—
88	I/O52 ²⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
89	1VCC	Питание ядра	—	—
90	INPUT1	Выделенный вход	Вход	Пользовательский
91	CLOCK0	Глобальный тактовый вход	Вход	Пользовательский
92	INPUT0	Выделенный вход	Вход	Пользовательский
93	GND	Общий	—	—
94	I/O53 ³⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
95	I/O54	Программируемый ввод-вывод	Вход/выход	Пользовательский
96	I/O55	Программируемый ввод-вывод	Вход/выход	Пользовательский
97	I/O56	Программируемый ввод-вывод	Вход/выход	Пользовательский
98	GND	Общий	—	—

Инт. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 5

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
99	I/O57	Программируемый ввод-вывод	Вход/выход	Пользовательский
100	I/O58	Программируемый ввод-вывод	Вход/выход	Пользовательский
101	2VCC	Питание выходных буферов	—	—
102	I/O59	Программируемый ввод-вывод	Вход/выход	Пользовательский
103	I/O60	Программируемый ввод-вывод	Вход/выход	Пользовательский
104	I/O61 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
105	I/O62 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
106	I/O63 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
107	GND	Общий	—	—
108	I/O64 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
109	TCK	Тактовый вход JTAG	Вход	Служебный
110	CONF_DONE	Окончание конфигурирования	Вход/выход с открытым стоком	Служебный
111	nCEO	Разрешение конфигурирования следующей схемы в цепочке	Выход	Служебный
112	TDO	Выход данных JTAG	Выход с тремя состояниями	Служебный
113	1VCC	Питание ядра	—	—
114	I/O65	Программируемый ввод-вывод	Вход/выход	Пользовательский
115	I/O66 ⁵⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
116	GND	Общий	—	—
117	I/O67	Программируемый ввод-вывод	Вход/выход	Пользовательский
118	2VCC	Питание выходных буферов	—	—
119	I/O68	Программируемый ввод-вывод	Вход/выход	Пользовательский
120	I/O69 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
121	GND	Общий	—	—

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 5

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
122	I/O70	Программируемый ввод-вывод	Вход/выход	Пользовательский
123	I/O71 ⁵⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
124	I/O72	Программируемый ввод-вывод	Вход/выход	Пользовательский
125	1VCC	Питание ядра	—	—
126	GND	Общий	—	—
127	2VCC	Питание входных буферов	—	—
128	I/O73	Программируемый ввод-вывод	Вход/выход	Пользовательский
129	2VCC	Питание выходных буферов	—	—
130	I/O74	Программируемый ввод-вывод	Вход/выход	Пользовательский
131	I/O75	Программируемый ввод-вывод	Вход/выход	Пользовательский
132	GND	Общий	—	—
133	I/O76	Программируемый ввод-вывод	Вход/выход	Пользовательский
134	1VCC	Питание ядра	—	—
135	I/O77	Программируемый ввод-вывод	Вход/выход	Пользовательский
136	I/O78	Программируемый ввод-вывод	Вход/выход	Пользовательский
137	GND	Общий	—	—
138	I/O79	Программируемый ввод-вывод	Вход/выход	Пользовательский
139	1VCC	Питание ядра	—	—
140	2VCC	Питание выходных буферов	—	—
141	TMS	Управление состоянием TAP контроллера JTAG	Вход	Служебный
142	TRST	Асинхронный сброс TAP контроллера JTAG	Вход	Служебный
143	nSTATUS	Готовность к конфигурированию или ошибка при конфигурировании	Вход/выход с открытым стоком	Служебный
144	ERR	Индикатор сбоя конфигурационного ОЗУ	Вход/выход с открытым стоком	Служебный

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

Окончание таблицы 5

¹⁾ При конфигурировании ПЛИС в режимах PPS (пассивный параллельный синхронный), PPA (пассивный параллельный асинхронный) выводы I/O40, I/O41, I/O42, I/O43, I/O44, I/O45, I/O46 используются как служебные DATA1, DATA2, DATA3, DATA4, DATA5, DATA6, DATA7 соответственно. После конфигурирования указанные выводы могут быть пользовательскими согласно таблице 5.

²⁾ После выхода ПЛИС в рабочий режим вывод I/O52 может быть использован как глобальный сигнал сброса всех триггеров (DEV_CLRn), если это указано пользователем.

³⁾ После выхода ПЛИС в рабочий режим вывод I/O53 может быть использован как глобальный сигнал разрешения третьего состояния всех элементов ввода-вывода (DEV_OE), если это указано пользователем.

⁴⁾ При конфигурировании ПЛИС в режиме PPA выводы I/O61, I/O62, I/O63, I/O64, I/O69 используются как служебные nRS, nWS, CS, nCS, RDYnBUSY соответственно. После конфигурирования указанные выводы могут быть пользовательскими согласно таблице 5.

⁵⁾ Выводы I/O66 и I/O71 могут быть использованы как служебные CLKUSR и INIT_DONE соответственно, если это указано пользователем.

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

5 Описание архитектуры ПЛИС

Архитектуру ПЛИС условно можно разделить на две части: пользовательскую и служебную.

К служебной части относятся: матрица памяти, система глобальных и локальных межсоединений, блок управления программированием (БУП), блок управления тестированием (БУТ).

Ячейки памяти управляют коммутацией и режимами работы логического блока (ЛБ), блока встроенной памяти (БВП) и элементов ввода-вывода (ВВ). Общее количество ячеек конфигурационного СОЗУ составляет 765 744.

Система глобальных и локальных межсоединений позволяет осуществлять связь между ЛБ, БВП, элементами ВВ.

Основное назначение БУП – осуществлять загрузку конфигурационных данных в матрицу памяти ПЛИС в соответствии с выбранной пользователем схемой конфигурирования. БУП управляет формирователями данных и адреса, по которому осуществляется запись, а также позволяет осуществлять конфигурирование с использованием специальной микросхемы памяти 5576PT1У, загрузочного кабеля типа ByteBlaster или микропроцессора. Процесс конфигурирования занимает не более 24 мс на частоте 33 МГц.

БУТ управляет работой встроенной системы тестирования (JTAG), совместимой с IEEE Std. 1149.1. Данная система позволяет проверить работу ПЛИС без использования специального оборудования для тестирования путем подачи и вычитывания тестовых сигналов через Boundary-Scan регистр.

К пользовательской части относятся: ЛБ, БВП, элементы ВВ.

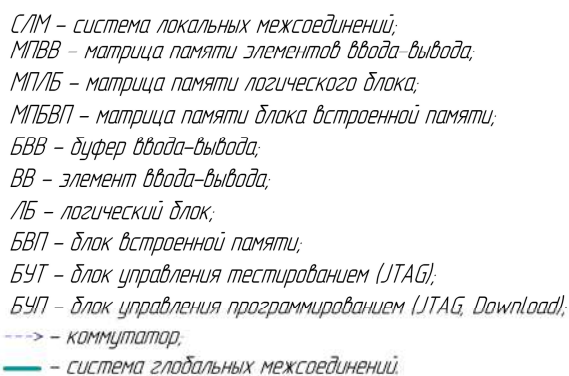
ЛБ состоят из 8 логических элементов (ЛЭ). ПЛИС 5576XC8T содержит 360 ЛБ, которые составляют матрицу из 10 рядов и 36 колонок. ЛБ используются для реализации простой логики, счетчиков, сумматоров, конечных автоматов состояний и мультиплексоров.

БВП используется для реализации разнообразных функций памяти или сложных логических функций. Встроенная память разделена на 10 БВП – по одному в каждом ряду.

Элементы ВВ служат для связи элементов ядра пользовательской части ПЛИС (ЛБ и БВП) с буферами ввода-вывода (БВВ). Количество элементов ВВ равно 16 – в каждом ряду и 4 – в каждой колонке.

На рисунке 2 показана электрическая структурная схема ПЛИС 5576XC8T.

Инов. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата



18

5.1 Блок встроенной памяти

Встроенная матрица памяти ПЛИС содержит 10 БВП. Каждый БВП имеет объем памяти 4 096 бит и содержит регистры на входе и выходе. БВП могут быть использованы для создания синхронного или асинхронного ОЗУ, ПЗУ, двухпортового ОЗУ или функций «первым прибыл, первым обслужен» (FIFO). Возможны следующие конфигурации БВП: 256×16 , 512×8 , $1\,024 \times 4$, $2\,048 \times 2$.

Для управления входными и выходными регистрами БВП можно использовать независимые тактовые сигналы, источником которых могут быть выделенные входы, глобальные тактовые входы или внутренние сигналы СЛМ БВП. Эти же источники можно применять для генерации сигнала разрешения записи. Входные данные и входы адреса БВП подключены через СЛМ к ряду системы межсоединений. Выходные данные можно коммутировать на ряд и на колонку системы межсоединений.

БВП поддерживает одно- и двухпортовый режим работы. В двухпортовом режиме, благодаря возможности использования независимых тактовых сигналов для записи и чтения, запись и чтение могут производиться с разной скоростью. Кроме того, разделенные сигналы разрешения записи и чтения позволяют осуществлять независимый контроль записи и чтения.

Структурная схема БВП в двухпортовом режиме показана на рисунке 3.

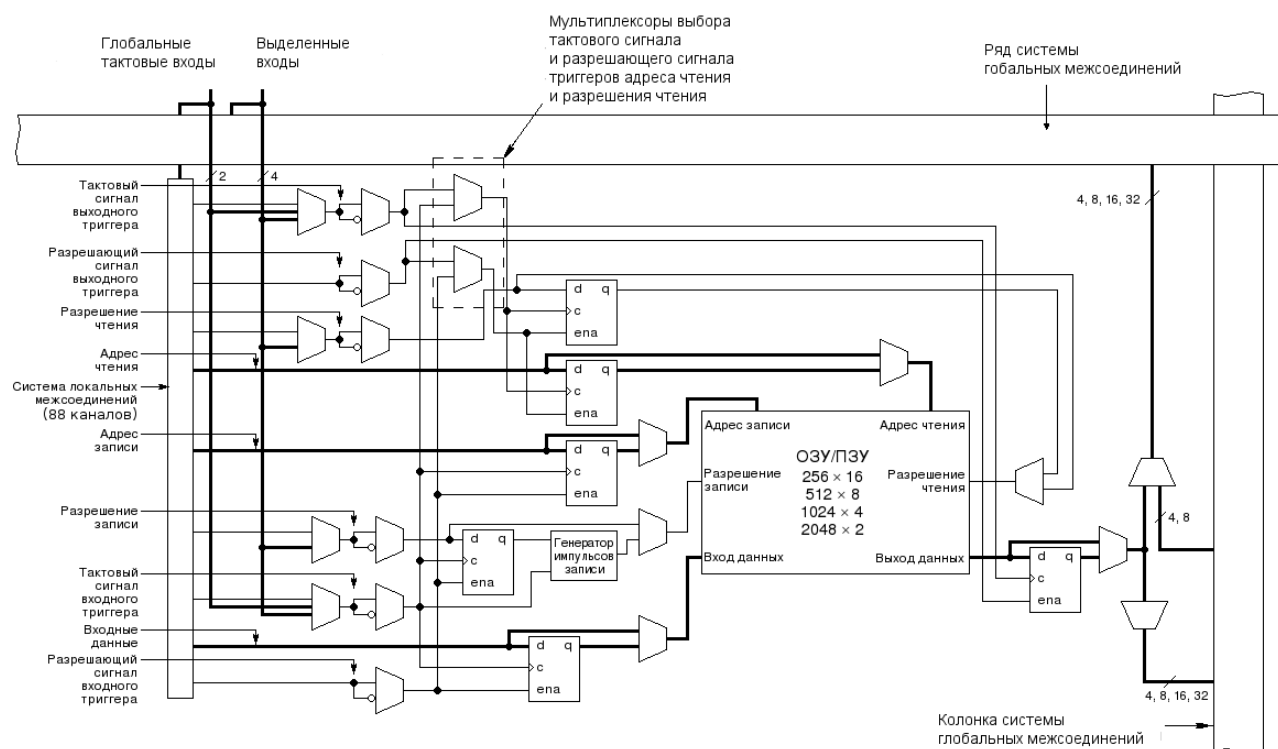


Рисунок 3 – Структурная схема блока встроенной памяти в двухпортовом режиме

Рисунок 4 – Структурная схема блока встроенной памяти в однопортовом режиме

ЛБ является основным элементом крупнозернистой архитектуры ПЛИС, основанной на эффективной трассировке с оптимальным использованием элементов и высокой производительностью, и предназначен для обеспечения эффективного размещения большинства проектов на ПЛИС.

20

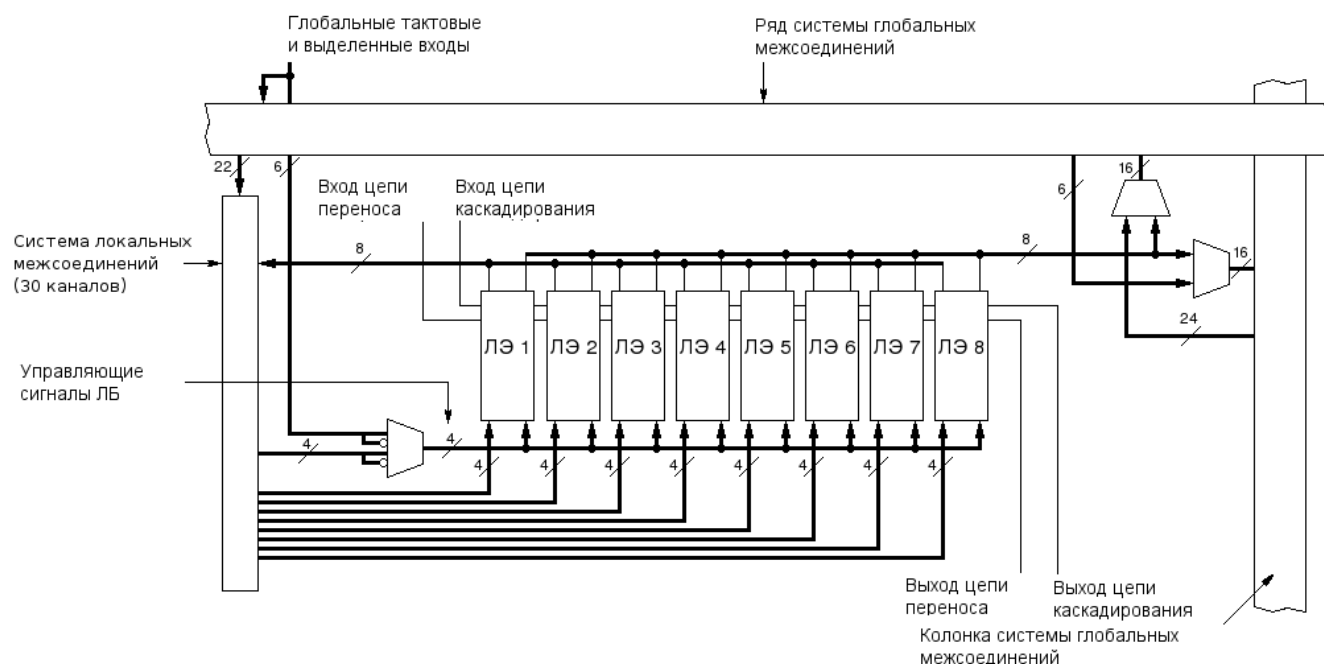


Рисунок 5 – Структурная схема логического блока

5.3 Логический элемент

ЛЭ является минимальным элементом логики, имеет компактные размеры и предназначен для реализации различных логических функций. Каждый ЛЭ содержит 4-входовую таблицу преобразования (look-up table – LUT), которая представляет собой генератор функций (ГФ), способный реализовать функцию четырех переменных. ГФ четырех переменных может быть представлен как два ГФ трех переменных и мультиплексор. Кроме того, каждый ЛЭ содержит программируемый триггер, цепи переноса и каскадирования.

Выход ЛЭ может быть сконмутирован как на локальные межсоединения ЛБ, так и на систему глобальных межсоединений. Структурная схема ЛЭ показана на рисунке 6.

Программируемый триггер ЛЭ может быть сконфигурирован как триггер D, T, JK или SR-типа. Источником сигналов управления триггером (тактовый сигнал, сброс, установка) могут быть глобальные тактовые входы, выделенные входы или внутренние сигналы СЛМ ЛБ. При реализации комбинаторных функций триггер не используется и сигнал с выхода ГФ будет поступать на выход ЛЭ.

Функция переноса позволяет реализовывать быстродействующие счетчики и сумматоры произвольной ширины.

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

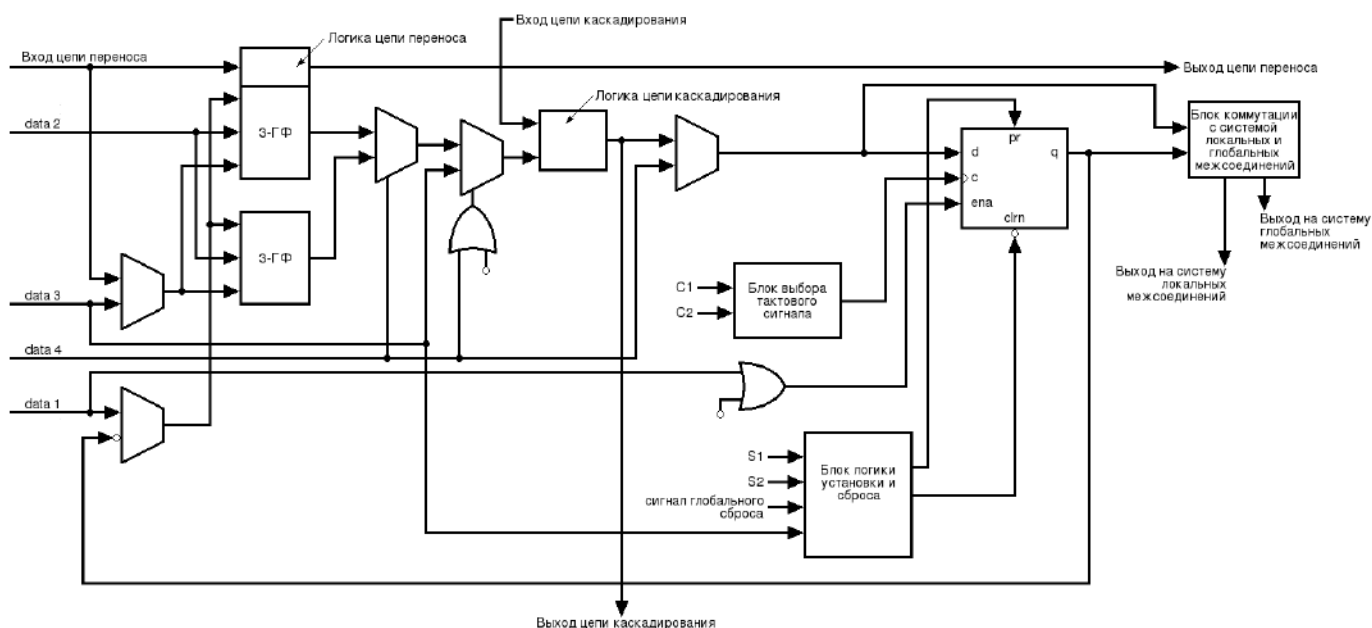


Рисунок 6 – Структурная схема логического элемента

С помощью цепи каскадирования реализуются функции, имеющие большой коэффициент объединения по входу. Соседние ЛЭ могут быть использованы для параллельного вычисления частей функции, а цепь каскадирования последовательно соединяет промежуточные результаты. Цепь каскадирования может использовать логические функции «ИЛИ» и «И» для соединения входов соседних ЛЭ. Каждый дополнительный ЛЭ добавляет четыре входа к эффективной ширине функции.

Цепи каскадирования и переноса, объединяющие более восьми ЛЭ, реализуются путем соединения либо четных, либо нечетных ЛБ в ряду.

5.3.1 Режимы работы логического элемента

ЛЭ может функционировать в одном из следующих четырех режимов:

- нормальный режим;
- арифметический (счетный) режим;
- режим суммирующего/вычитающего счетчика;
- режим сбрасываемого счетчика.

Во всех четырех режимах вход data1 может быть использован для синхронного разрешения тактового сигнала триггера.

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

5.3.1.1 Нормальный режим

Нормальный режим предназначен для большинства логических приложений и функций декодирования, использующих преимущества цепи каскадирования. В данном режиме входами ГФ могут быть следующие сигналы:

- data1, data2, data3, data4;
- data1, data2, data4 и сигнал с входа цепи переноса.

Сигнал с выхода ГФ может быть скомбинирован с входным сигналом цепи каскадирования.

ГФ и триггер в ЛЭ могут использоваться независимо друг от друга. В этом случае на ГФ реализуется функция трех переменных, а сигнал data4 может быть использован в качестве данных триггера ЛЭ (рисунок 7).

Выходными сигналами ЛЭ являются комбинированный сигнал и выходные данные программируемого триггера, которые могут быть скоммутированы на локальные и глобальные межсоединения в зависимости режима работы блока коммутации. Например, сигнал с триггера может быть скоммутирован на глобальное межсоединение, в то время как сигнал с ГФ – на локальное, и наоборот.

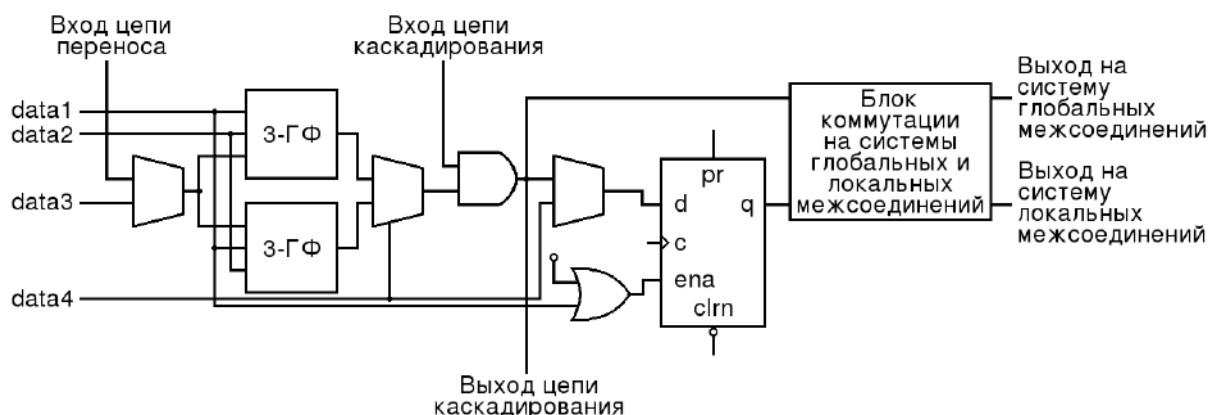


Рисунок 7 – Нормальный режим работы логического элемента

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

5.3.1.2 Арифметический режим

Арифметический режим (рисунок 8) предназначен для реализации сумматоров, аккумуляторов и компараторов. В данном режиме сигналы data1, data2 и сигнал с входа цепи переноса являются входными сигналами для двух 3-входовых ГФ. Первый ГФ реализует функцию трех переменных. Второй ГФ формирует сигнал цепи переноса. Арифметический режим также поддерживает одновременное использование цепи каскадирования.

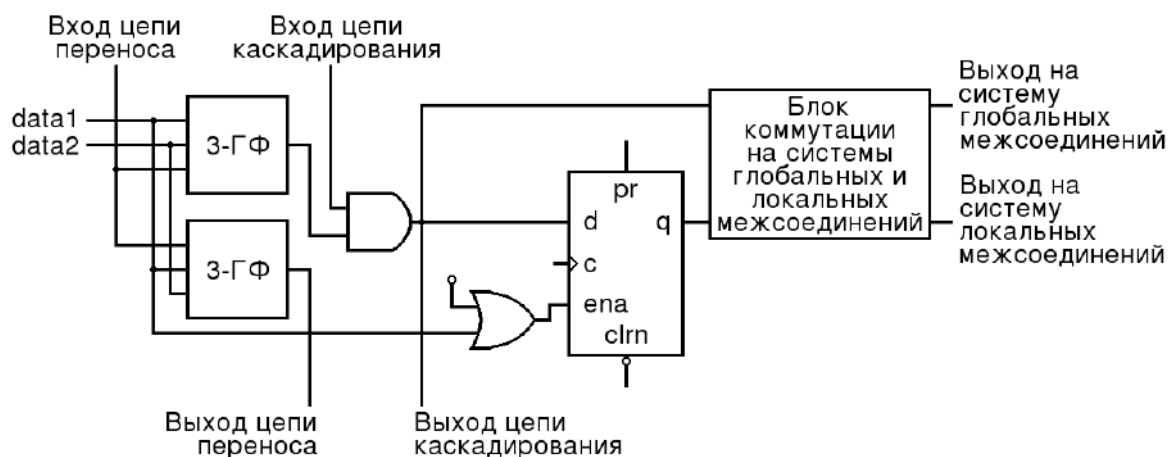


Рисунок 8 – Арифметический режим работы логического элемента

5.3.1.3 Режим суммирующего/вычитающего счетчика

В данном режиме (рисунок 9) один из 3-входовых ГФ формирует данные счетчика с помощью сигналов управления data1, обратной связи триггера, входа цепи переноса, другой – формирует сигнал переноса с помощью сигналов управления обратной связи триггера, data2, входа цепи переноса. Сигнал data4 предназначен для реализации возможности синхронной загрузки данных. Загрузка данных может быть асинхронной без использования ресурсов ГФ с помощью сигналов сброса и установки триггера. Функцию сброса в режиме суммирующего/вычитающего счетчика выполняет входной сигнал цепи каскадирования.

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

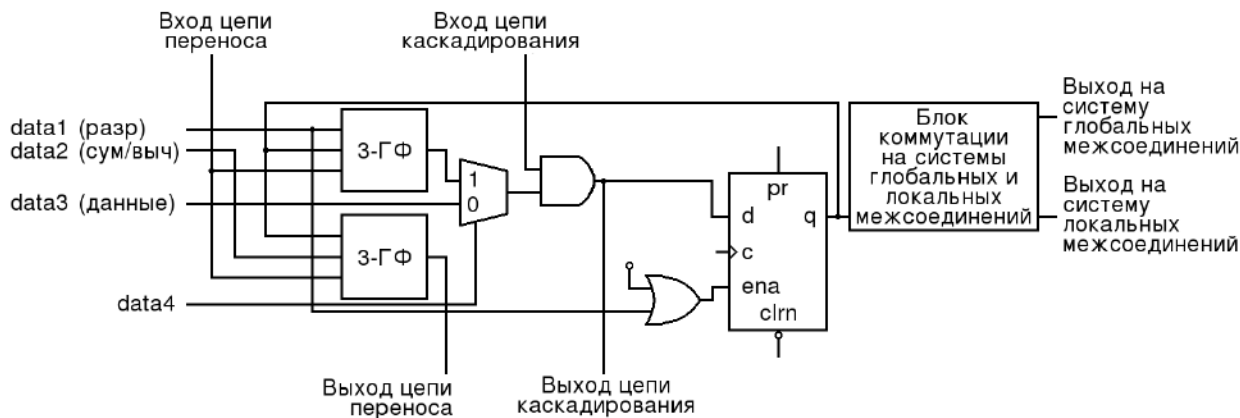


Рисунок 9 – Режим суммирующего/вычитающего счетчика

5.3.1.4 Режим сбрасываемого счетчика

Режим сбрасываемого счетчика (рисунок 10) подобен режиму суммирующего/вычитающего счетчика, но в отличие от него поддерживает синхронный сброс с входа data2.

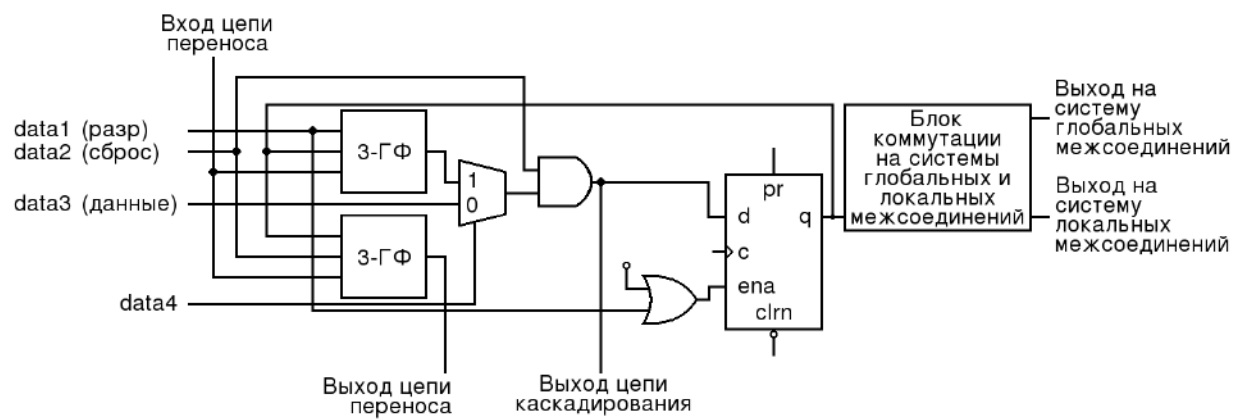


Рисунок 10 – Режим сбрасываемого счетчика

5.3.2 Управление логикой сброса и установки

Управление логикой сброса и установки программируемого триггера осуществляется с помощью сигналов data3, S1, S2 ЛЭ. Сигналы S1 и S2 могут осуществлять асинхронный сброс и/или установку. Кроме того, триггер может работать в режиме асинхронной загрузки. В этом случае данные для загрузки поступают с входа data3, а сигнал S1 разрешает асинхронную загрузку.

Подп. и дата	Интв. № дубл.	Взам. интв. №	Подп. и дата	Интв. № подл.

Во время компиляции проекта программным обеспечением автоматически выбирается оптимальный уровень сигнала для выполнения требуемой функции. Так как для функции сброса активным является низкий уровень, а для установки – высокий, то компилятор автоматически устанавливает на неиспользуемые входы сброса или установки требуемый неактивный уровень.

Кроме того, имеется вывод глобального сброса, который может сбросить все триггеры в устройстве. Глобальный сброс имеет приоритет над всеми другими сигналами. Данная опция может быть включена на этапе ввода данных в проект.

Логика сброса и установки может работать в следующих шести режимах:

- асинхронный сброс;
- асинхронная установка;
- асинхронный сброс и установка;
- асинхронная загрузка со сбросом;
- асинхронная загрузка с установкой;
- асинхронная загрузка без сброса или установки.

На рисунке 11 показаны режимы работы логики сброса и установки.

Асинхронный сброс триггера может быть выполнен одним из двух сигналов S1 или S2. В этом режиме сигнал установки не активен и подключен к GND.

Асинхронная установка триггера может быть выполнена одним из двух сигналов S1 или S2. В этом режиме сигнал сброса не активен и подключен к VCC. Кроме того, с помощью программного обеспечения можно проводить установку за счёт использования сброса и инвертирования выхода триггера.

Когда выполняются асинхронный сброс и установка, сигнал S1 управляет установкой (асинхронно загружает единицу в триггер), а сигнал S2 – сбросом.

Когда выполняется асинхронная загрузка со сбросом, сигнал S1 разрешает асинхронную загрузку с входа data3. Активный сигнал на S2 может производить сброс триггера, но не может управлять его загрузкой.

Инов. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

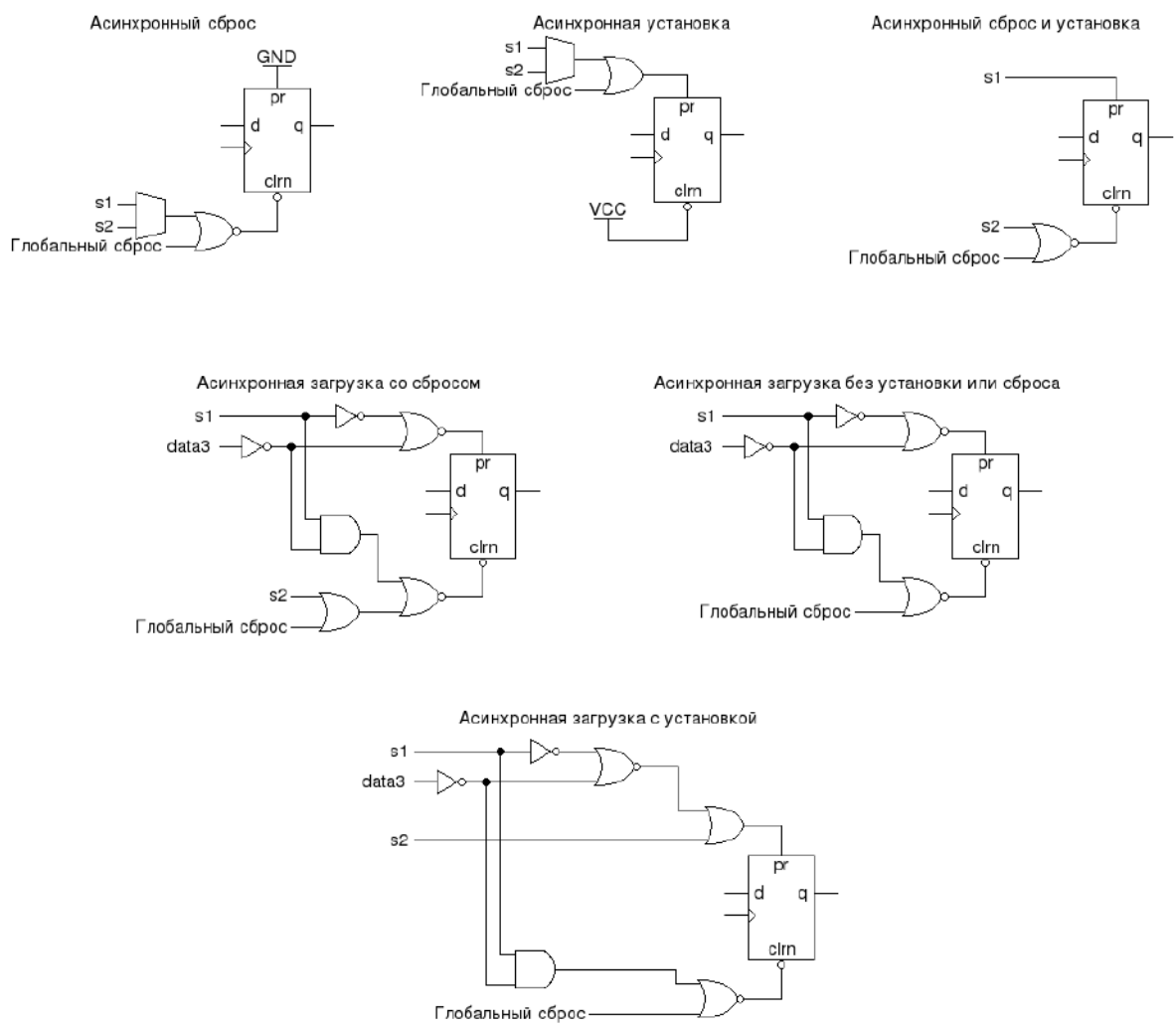


Рисунок 11 – Управление логикой сброса и установки

Когда выполняется асинхронная загрузка с установкой, сигнал S1 разрешает асинхронную загрузку с входа data3. Активный сигнал на S2 может производить установку триггера, но не может управлять его загрузкой.

Когда выполняется асинхронная загрузка без установки или сброса триггера, сигнал S1 разрешает асинхронную загрузку с входа data3 и контролирует сброс и установку триггера.

5.4 Система межсоединений

В архитектуре ПЛИС связи между ЛЭ, БВП и элементами ввода-вывода осуществляются посредством системы глобальных межсоединений (рядов и колонок), которые связывают устройство в единое целое. Структурные элементы системы глобальных межсоединений приведены в таблице 6.

Инов. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Таблица 6 – Структурные элементы системы глобальных межсоединений

Тип ПЛИС	Количество рядов	Количество каналов в ряду	Количество колонок	Количество каналов в колонке
5576XC8T	10	216	36	24

При такой структуре трассировки ЛЭ могут соединяться друг с другом при помощи только одного канала из ряда системы глобальных межсоединений, что обеспечивает фиксированную задержку даже при реализации сложных проектов.

Данные с каналов ряда системы глобальных межсоединений поступают на СЛМ, с которых в свою очередь передаются на входы ЛБ, БВП.

Каждый ряд ЛБ и БВП обслуживается своим набором горизонтальных каналов из ряда межсоединений. На входы ЛБ и БВП сигналы приходят только с каналов рядов системы межсоединений.

Каждый ЛЭ в ЛБ имеет выход на два канала из ряда межсоединений. На каждый из этих каналов сигнал может заводиться с трёх каналов из колонки межсоединений. Такая организация выходного коммутатора позволяет осуществлять переход с каналов колонки межсоединений на каналы ряда.

Каждая колонка ЛБ и БВП обслуживается своим набором вертикальных каналов из колонки межсоединений. Колонка, обслуживающая БВП, имеет в два раза больше каналов, чем колонка, обслуживающая ЛБ. Данные с каналов колонки системы глобальных межсоединений поступают на элементы ввода-вывода. Каждый ЛЭ в ЛБ имеет выход на два канала из колонки межсоединений. В пределах каждого ЛБ можно осуществить переход с шести каналов из ряда на шесть каналов из колонки межсоединений (рисунок 12).

Инов. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

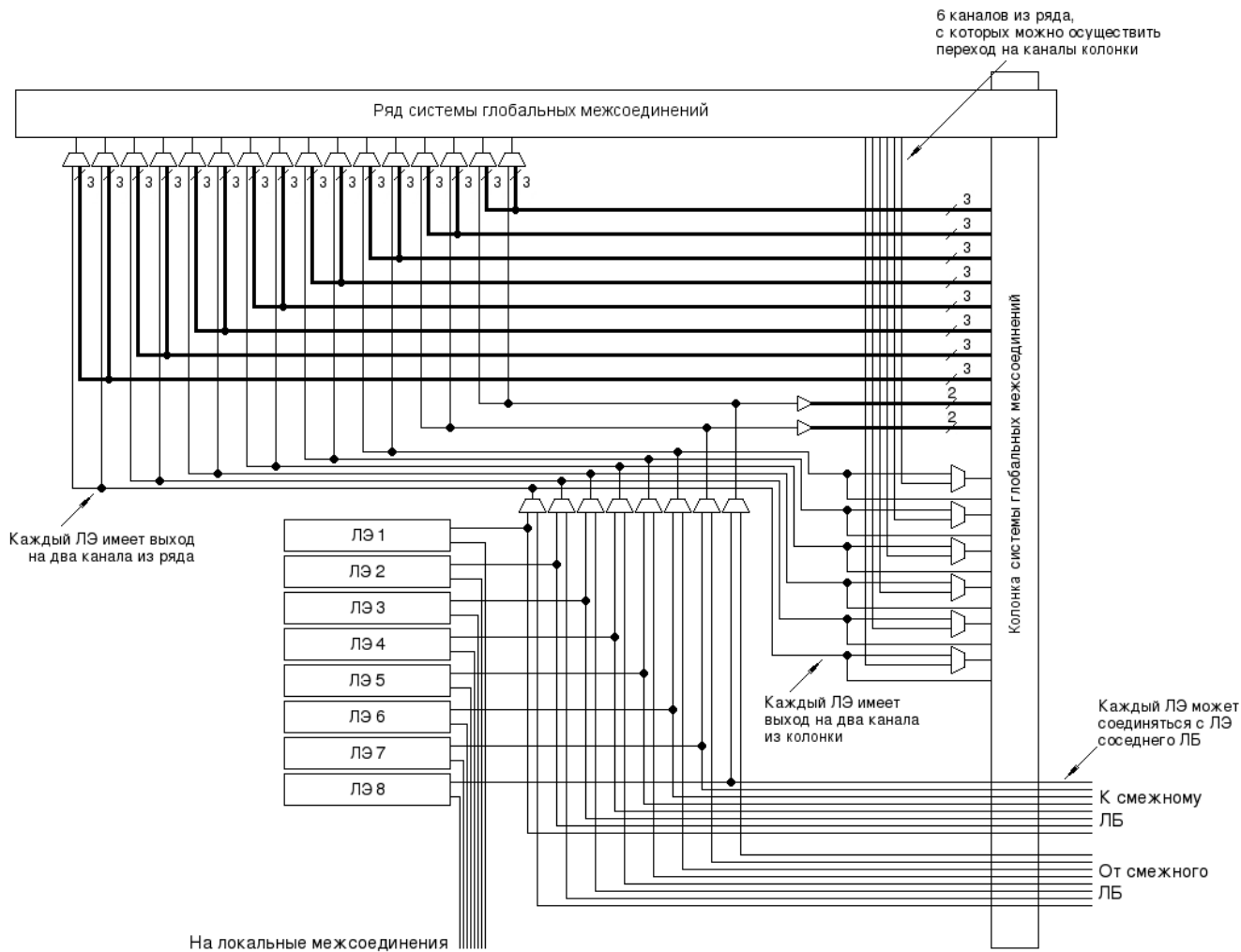


Рисунок 12 – Подключение ЛБ к колонке и ряду системы межсоединений

Связь между ЛБ и БВП, расположенными в разных рядах, осуществляется посредством колонки межсоединений. В этом случае сигнал из колонки межсоединений должен быть перенесен в ряд межсоединений, прежде чем он поступит на вход ЛБ или БВП.

Для оптимизации трассировки ряды межсоединений включают в себя каналы двух типов:

- каналы полной длины (Global Fast Track), которые обслуживают все ЛБ и БВП в ряду;
- каналы половинной длины (Half Fast Track), которые в свою очередь делятся на каналы для левой половины ряда (Left Half Fast Track) и каналы для правой половины ряда (Right Half Fast Track). Каналы типа Left Half Fast Track обслуживают БВП и ЛБ из левой половины ряда, а каналы типа Right Half Fast

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Track обслуживают ЛБ из правой половины ряда. Выходы ЛЭ могут быть скоммутированы как на каналы полной длины, так и на каналы половинной длины, поэтому соседние ЛБ могут быть соединены за счёт использования половины канала, при этом сохраняется другая половина канала для другой половины ряда. Выходы БВП могут быть скоммутированы только на каналы с полной длиной.

На рисунке 13 показано, каким образом ЛБ связаны с рядами и колонками межсоединений, а так же связь ЛБ по цепям каскадирования и переноса. В САПР ф. Altera MAX+PLUS II или Quartus II каждый ЛБ обозначен соответственно своему месторасположению: буква латинского алфавита обозначает ряд, а цифра – колонку. У ПЛИС 5576XC8T ряды промаркированы буквами А, В, С, D, E, F, G, H, I, J а столбцы цифрами 1–36. Так, например, ЛБ В3 находится в ряду В, в столбце 3.

Помимо системы глобальных межсоединений, ПЛИС имеет четыре выделенных входа и два глобальных тактовых входа, которые обеспечивают прохождение сигналов с малым разбросом (skew) по всему устройству. Эти шесть входов могут быть использованы для глобального тактирования, сброса, установки и управления третьим состоянием, а также в качестве входов данных для всех ЛБ, БВП и элементов ввода-вывода в устройстве.

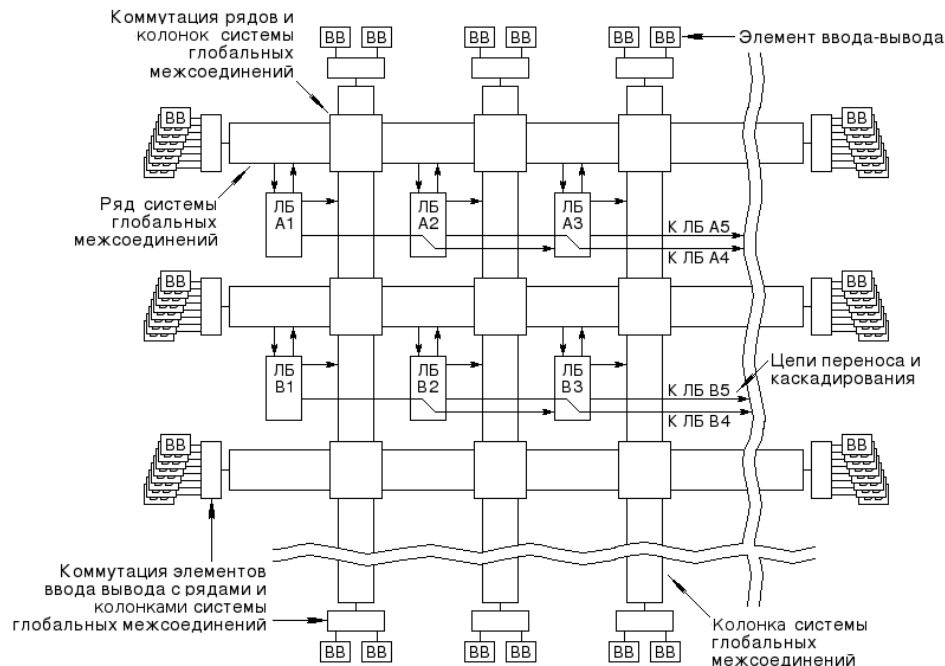


Рисунок 13 – Структура системы межсоединений

Инов. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Для согласования внутренней части ПЛИС с внешними устройствами используется элемент ввода-вывода. Схема элемента ввода-вывода приведена на рисунке 14. Он содержит двунаправленный буфер и триггер, который можно использовать как входной регистр для внешних данных с малым временем предустановки или как выходной регистр с малой задержкой от тактового входа до выхода. Каждый элемент ввода-вывода может быть сконфигурирован как вход, выход или двунаправленный вход/выход.

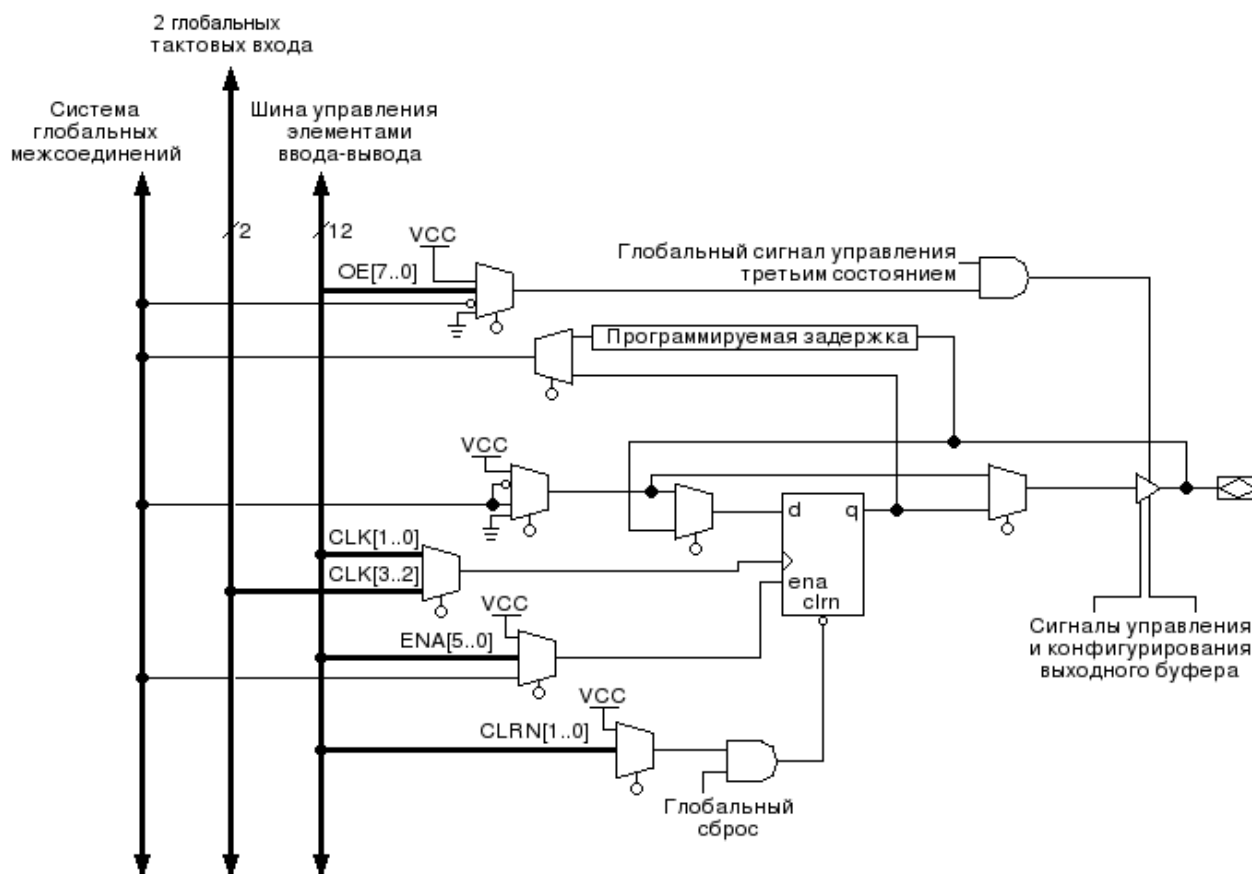


Рисунок 14 – Схема элемента ввода-вывода

Элементы ввода-вывода обслуживаются высокоскоростной периферийной шиной управления. Эта шина состоит из 12 разрядов, которые можно разделить по функциональному назначению следующим образом:

- до восьми сигналов управления третьим состоянием;

- до шести сигналов разрешения тактового сигнала;
- до двух тактовых сигналов;
- до двух сигналов сброса.

В случае необходимости использования более восьми сигналов управления третьим состоянием или более шести сигналов разрешения тактового сигнала могут быть задействованы дополнительные сигналы, поступающие со специально предназначенных горизонтальных или вертикальных каналов системы глобальных межсоединений.

В дополнение к двум тактовым сигналам, имеющимся в периферийной шине управления, каждый элемент ввода-вывода может управляться одним из двух глобальных тактовых входов.

На каждый разряд периферийной шины управления сигнал может поступать с любого из четырех выделенных входов или с любого из двух глобальных тактовых входов. Так же на каждый разряд периферийной шины управления сигнал можно завести с первого ЛЭ каждого ЛБ через ряд межсоединений или с других ЛЭ через колонку межсоединений.

Сигнал глобального сброса осуществляет сброс всех триггеров элементов ввода-вывода независимо от значения других сигналов управления.

В таблице 7 приведены периферийные сигналы управления и ряды, в которых они формируются.

Таблица 7 – Формирование периферийных сигналов управления

Периферийный сигнал управления	Ряд управляющий глобальным сигналом
OE0	A
OE1	B
OE2	D
OE3	F
OE4	H
OE5	J
ENA0/CLK0	A
ENA1/OE6	C
ENA2/CLRN0	E
ENA3/OE7	G
ENA4/CLRN1	I
ENA5/CLK1	J

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

5.5.1 Соединение элементов ввода-вывода с горизонтальными каналами

На рисунке 15 показана связь между элементами ввода-вывода и рядом межсоединений. Когда элемент ввода-вывода сконфигурирован как вход, то он может управлять двумя каналами ряда, которые доступны всем ЛЭ данного ряда. Когда элемент ввода-вывода сконфигурирован как выход, то сигнал на контактную площадку поступает с одного из 27 каналов ряда. К каждому ряду межсоединений подключено по восемь элементов ввода-вывода с левой и правой сторон кристалла.

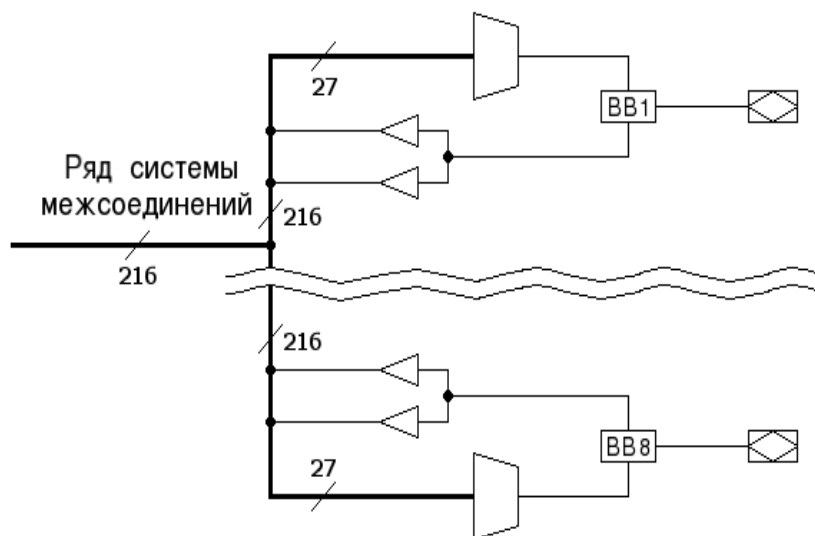


Рисунок 15 – Коммутация элементов ввода-вывода и ряда межсоединений

5.5.2 Соединение элементов ввода-вывода с вертикальными каналами

На рисунке 16 показано соединение между колонкой межсоединений и элементами ввода-вывода. К каждой колонке межсоединений подключено по два элемента ввода-вывода с верхней и нижней сторон кристалла. Когда элемент ввода-вывода сконфигурирован как вход, то он может управлять двумя каналами из колонки. Когда элемент ввода-вывода сконфигурирован как выход, то сигнал на контактную площадку поступает с одного из 16 каналов колонки.

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

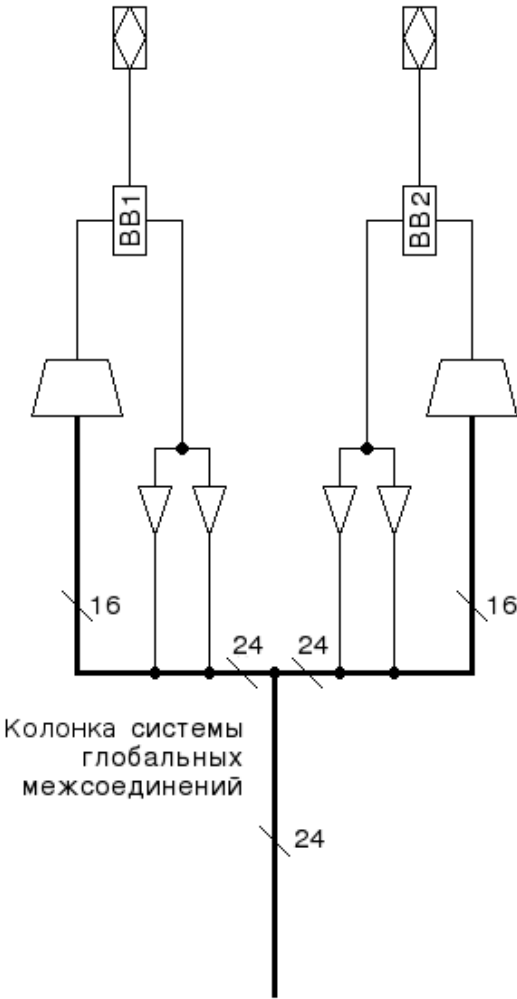


Рисунок 16 – Коммутация элементов ввода-вывода и колонки межсоединений

5.5.3 Контроль скорости нарастания выходного напряжения

Выходные буферы в каждом элементе ввода-вывода имеют регулируемую скорость изменения выходного напряжения. Возможна настройка выходного буфера под малощумящее или высокоскоростное исполнение. Понижение скорости изменения выходного напряжения уменьшает помехи по шинам питания и приводит к увеличению времени задержки. Большую скорость изменения выходного напряжения следует использовать для цепей в достаточной мере защищенных от помех.

Инов. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

5.5.4 Выход с открытым стоком

Любой пользовательский элемент ввода-вывода можно сконфигурировать как выход с открытым стоком (электрический эквивалент открытого коллектора). Наличие этой опции позволяет обеспечить получение сигналов контроля системного уровня (такие как сигнал прерывания, сигнал разрешения записи), а также дает возможность реализации логической схемы типа монтажного «ИЛИ».

5.6 Поддержка периферийного сканирования

ПЛИС поддерживают схему периферийного сканирования по JTAG порту, которая удовлетворяет техническим требованиям стандарта IEEE Std. 1149.1. Подробное описание интерфейса JTAG приведено в инструкции по программированию ГПКФ.431262.007Д4.

6 Тестирование

Каждая ПЛИС проходит полный цикл тестирования всех функциональных блоков и всех режимов их работы, что гарантирует 100 % годность ПЛИС.

7 Расчет рассеиваемой мощности ПЛИС

Рассеиваемую мощность P_{tot} , Вт, вычисляют по формуле

$$P_{tot} = P_{tot1} + P_{tot2}, \quad (1)$$

где P_{tot1} – рассеиваемая мощность ядра, Вт;

P_{tot2} – рассеиваемая мощность периферии, Вт.

Рассеиваемую мощность ядра P_{tot1} , Вт, вычисляют по формуле

$$P_{tot1} = (I_{CC1} + I_{OCC1}) \cdot U_{CC1}, \quad (2)$$

где I_{CC1} – ток потребления ядра, А;

I_{OCC1} – динамический ток потребления ядра, А;

U_{CC1} – напряжение питания ядра, В.

Динамический ток потребления ядра I_{OCC1} , А, вычисляют по формуле

$$I_{OCC1} = K \cdot f_C \cdot N_{LC} \cdot \log_{LC} \cdot 10^{-6}, \quad (3)$$

где K – коэффициент пропорциональности величины тока потребления от частоты, мкА/МГц. Данный коэффициент зависит от проекта (конфигурации логического элемента и нагрузки, подключенной к его выходу) и внешних условий (напряжения питания и температуры). Для типового проекта $K = 3,8$ мкА/МГц;

Инов. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

f_C – частота следования импульсов тактового сигнала, МГц, определяемая разработчиком аппаратуры;

N_{LC} – количество задействованных в данном проекте логических элементов;

$\log_{LC}$ – средняя доля от задействованных в проекте логических элементов, переключающихся по каждому такту (типовое значение 0,125).

Рассеиваемую мощность периферии P_{tot2} , Вт, вычисляют по формуле

$$P_{tot2} = I_{CC2} \cdot U_{CC2} + \sum I_{OLi} \cdot U_{OLi} + \sum |I_{OH i}| \cdot (U_{CC2} - U_{OH i}) + I_{OCC2} \cdot U_{CC2}, \quad (4)$$

где I_{CC2} – ток потребления периферии, А;

I_{OLi} – ток нагрузки низкого уровня для i-го выхода, А;

U_{OLi} – выходное напряжение низкого уровня для i-го выхода, В;

$I_{OH i}$ – ток нагрузки высокого уровня для i-го выхода, А;

$U_{OH i}$ – выходное напряжение высокого уровня для i-го выхода, В;

I_{OCC2} – динамический ток потребления периферии, А;

U_{CC2} – напряжение питания периферии, В.

Динамический ток потребления периферии I_{OCC2} , А, вычисляют по формуле

$$I_{OCC2} = 0,5 \cdot C_L \cdot f_C \cdot N_{IO} \cdot \log_{IO} \cdot (U_{OH} - U_{OL}) \cdot 10^{-6}, \quad (5)$$

где C_L – средняя ёмкость нагрузки на выходе ПЛИС, пФ;

N_{IO} – количество задействованных в данном проекте элементов ввода-вывода;

$\log_{IO}$ – средняя доля от задействованных в проекте элементов ввода-вывода, переключающихся по каждому такту (типовое значение 0,125).

Приведенный выше расчет позволяет получить приблизительную оценку рассеиваемой мощности конкретного проекта.

Инов. № подл.	Подп. и дата	Взам. инв. №	Инов. № дубл.	Подп. и дата

ЛИСТ РЕГИСТРАЦИИ ИЗМЕНЕНИЙ

[illegible]

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата