

Содержание

1	Введение.....	3
2	Назначение.....	3
3	Основные технические характеристики.....	3
3.1	Состав ПЛИС.....	4
3.2	Электрические параметры ПЛИС при приемке и поставке.....	5
3.3	Предельно допустимые электрические режимы эксплуатации и предельные электрические режимы ПЛИС.....	7
4	Условное обозначение и назначение выводов ПЛИС.....	8
5	Описание архитектуры ПЛИС.....	20
5.1	Логический блок.....	22
5.2	Блок пользовательской памяти.....	25
5.2.1	Управляющие сигналы БПП.....	25
5.2.2	Биты четности.....	26
5.2.3	Сигнал byte Enable.....	26
5.2.4	Разрешение тактового сигнала для входов адреса.....	26
5.2.5	Режимы работы.....	27
5.3	Блок цифровой обработки сигнала.....	30
5.4	Модуль ввода-вывода.....	31
5.5	Поддержка периферийного сканирования.....	32
6	Тестирование.....	32
7	Расчет рассеиваемой мощности ПЛИС.....	32

Подп. и дата

Инв. № дубл.

Взам.

Подп. и дата

Инв. № подл.

1 Введение

Настоящее техническое описание (ТО) предназначено для изучения программируемых логических интегральных схем 5578ТС014 и 5578ТС024 (далее ПЛИС) и содержит описание принципа работы, технические характеристики и другие сведения, необходимые для обеспечения полного использования технических возможностей микросхем.

2 Назначение

Данные микросхемы являются результатом разработки серии отечественных ПЛИС логической емкостью 300 и 500 тысяч системных вентиляей.

Разрабатываемые ПЛИС позволят снизить габариты и массу аппаратуры в (2–3) раза и обеспечить бесбойную работу устройств защиты информации, цифровой обработки и преобразования сигналов, сетей обмена данными.

Прямые отечественные и зарубежные аналоги отсутствуют. Разрабатываемые микросхемы могут быть использованы для замены следующих зарубежных аналогов: EP2C5, EP2C8 (ф. Altera).

3 Основные технические характеристики

Кристаллы ПЛИС изготовлены по КМОП-технологии с минимальными проектными нормами 0,18 мкм, с одним уровнем поликремния и шестью уровнями металлизации.

Номинальное значение напряжения питания ядра – плюс 1,8 В. Допустимые отклонения напряжения питания ядра от номинального $\pm 5\%$.

Номинальное значение напряжения питания периферии (входных и выходных буферов) – плюс 3,3 В. Допустимые отклонения напряжения питания периферии от номинального $\pm 0,3$ В.

Диапазон температур окружающей среды от минус 60 до плюс 85 °С.

Масса микросхем не более 21 г.

Значение потенциала статического электричества не должно превышать 2 000 В.

Подп. и дата

Инв. № дубл.

Взам.

Подп. и дата

Инв. № подл.

3.1 Состав ПЛИС

Микросхемы 5578ТС014, 5578ТС024 содержат основные функциональные узлы и обеспечивают основные режимы работы, указанные в таблицах 1 и 2 соответственно.

Таблица 1 – Состав ПЛИС 5578ТС014

Параметр	Значение
Количество эквивалентных логических элементов ¹⁾	5 040
Объем встроенной памяти, Кбит	252
Количество портов интерфейса JTAG	1
Количество портов загрузки	1
Количество умножителей 18×18	14
Программируемый режим циклической перезаписи конфигурационной памяти (SCRUBBING)	Имеется
Программируемый режим верификации конфигурационной памяти без выхода из рабочего состояния (VERIFICATION)	Имеется
Программируемые блоки удержания выводов пользователя в последнем состоянии (режим Bus-Hold)	Имеется
Режимы последовательной и параллельной загрузки конфигурации по специальному загрузочному порту	Имеется
Входной язык программного обеспечения конфигурирования ПЛИС – Verilog HDL	Имеется
Количество выводов, программируемых пользователем	180 ²⁾
<p>¹⁾ Эквивалентным логическим элементом принят логический элемент серии FLEX ф. Altera, состоящий из 4-входового LUT, цепей ускоренного переноса, триггера и схем его управления.</p> <p>²⁾ Включает 8 глобальных тактовых входов.</p>	

Таблица 2 – Состав ПЛИС 5578ТС024

Параметр	Значение
Количество эквивалентных логических элементов ¹⁾	7 200
Объем встроенной памяти, Кбит	360
Количество портов интерфейса JTAG	1
Количество портов загрузки	1
Количество умножителей 18×18	20
Программируемый режим циклической перезаписи конфигурационной памяти (SCRUBBING)	Имеется
Программируемый режим верификации конфигурационной памяти без выхода из рабочего состояния (VERIFICATION)	Имеется

Окончание таблицы 2

Подп. и дата

Индв. № дубл.

Взам.

Подп. и дата

Индв. № подл.

Параметр	Значение
Программируемые блоки удержания выводов пользователя в последнем состоянии (режим Bus-Hold)	Имеется
Режимы последовательной и параллельной загрузки конфигурации по специальному загрузочному порту	Имеется
Входной язык программного обеспечения конфигурирования ПЛИС – Verilog HDL	Имеется
Количество выводов, программируемых пользователем	180 ²⁾
<p>¹⁾ Эквивалентным логическим элементом принят логический элемент серии FLEX ф. Altera, состоящий из 4-входового LUT, цепей ускоренного переноса, триггера и схем его управления.</p> <p>²⁾ Включает 8 глобальных тактовых входов.</p>	

3.2 Электрические параметры ПЛИС при приемке и поставке

Значения электрических параметров ПЛИС при приемке и поставке приведены в таблице 3.

Таблица 3

Наименование параметра, единица измерения (режим измерения)	Буквенное обозначение параметра	Норма параметра		Температура среды, °С	Номер пункта примечания
		не менее	не более		
1	2	3	4	5	6
Выходное напряжение низкого уровня, В ($U_{CC1} = 1,71$ В, $U_{CC2} = 3,0$ В, $I_{OL} = 4,0$ мА)	U_{OL}	–	0,55	–60 ± 3 25 ± 3 85 ± 3	1, 2
Выходное напряжение высокого уровня, В ($U_{CC1} = 1,71$ В, $U_{CC2} = 3,0$ В, $I_{OH} = -4,0$ мА)	U_{OH}	2,0	–		1, 2
Ток потребления ядра, мА ($U_{CC1} = 1,89$ В, $U_{CC2} = 3,6$ В, $U_{IL} = 0$ В; $U_{CC1} = 1,89$ В, $U_{CC2} = 3,6$ В, $U_{IH} = 3,6$ В)	I_{CC1}	–	100		2

Окончание таблицы 3

1	2	3	4	5	6
Ток потребления периферии, мА ($U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{IL} = 0 \text{ В}$; $U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{IH} = 3,6 \text{ В}$)	I_{CC2}	–	30		2
Входной ток низкого уровня, мкА ($U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{IL} = 0 \text{ В}$)	I_{IL}	–20	–		1, 2
Входной ток высокого уровня, мкА ($U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{IH} = 3,6 \text{ В}$)	I_{IH}	–	20		
Выходной ток низкого уровня в состоянии «Выключено», мкА ($U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{OZ} = 0 \text{ В}$)	I_{OZL}	–20	–		1, 2
Выходной ток высокого уровня в состоянии «Выключено», мкА ($U_{CC1} = 1,89 \text{ В}$, $U_{CC2} = 3,6 \text{ В}$, $U_{OZ} = 3,6 \text{ В}$)	I_{OZH}	–	20	-60 ± 3 25 ± 3 85 ± 3	1, 2
Длительность тактового интервала межрегистровой пересылки для логического элемента, нс ($U_{CC1} = 1,71 \text{ В}$, $U_{CC2} = 3,0 \text{ В}$)	t_{DRR1}	–	7,2		2
Длительность тактового интервала межрегистровой пересылки для умножителя 18×18 , нс ($U_{CC1} = 1,71 \text{ В}$, $U_{CC2} = 3,0 \text{ В}$)	t_{DRR2}	–	11,8		2
Длительность тактового интервала межрегистровой пересылки для блока пользовательской памяти в режиме чтения, нс ($U_{CC1} = 1,71 \text{ В}$, $U_{CC2} = 3,0 \text{ В}$)	t_{DRR3}	–	11,8		2
Примечания 1 Для пользовательских выводов. 2 Контролируется после конфигурирования микросхемы.					

3.3 Предельно допустимые электрические режимы эксплуатации и

предельные электрические режимы ПЛИС

Предельно допустимые электрические режимы эксплуатации и предельные электрические режимы ПЛИС приведены в таблице 4.

Таблица 4

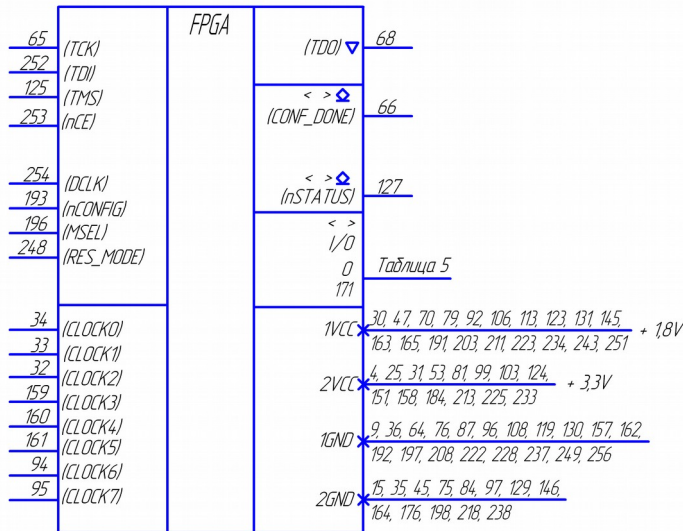
Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно допустимый режим		Предельный режим		Номер пункта примечания
		не менее	не более	не менее	не более	
Напряжение питания ядра, В	U_{CC1}	1,71	1,89	-0,50	2,20	–
Напряжение питания периферии, В	U_{CC2}	3,0	3,6	-0,5	4,0	–
Входное напряжение низкого уровня, В	U_{IL}	0	0,8	-0,5	–	–
Входное напряжение высокого уровня, В	U_{IH}	2,0	3,6	–	4,0	–
Напряжение, прикладываемое к выходу в состоянии «Выключено», В	U_{OZ}	0	3,6	-0,5	4,0	1, 2
Выходной ток низкого уровня, мА	I_{OL}	–	4	–	24	1, 3
Выходной ток высокого уровня, мА	I_{OH}	-4	–	-24	–	1, 3
Ток по выводу питания, мА	I_{VCC}	–	–	–	100	4
Ток по общему выводу, мА	I_{GND}	–	–	-100	–	4
Емкость нагрузки, пФ	C_L	–	50	–	200	–
Примечания 1 Для пользовательских выводов после конфигурирования. 2 Величина тока по выходу не должна превышать предельную норму выходного тока. 3 Сумма токов по выходам не должна превышать суммы предельных значений токов по каждому выводу питания или общему выводу. 4 По каждому отдельному выводу микросхемы, подключенному к источнику питания ядра или периферии.						

4 Условное обозначение и назначение выводов ПЛИС

Разработанные ПЛИС выполнены в планарных металлокерамических 256-выводных корпусах 4244.256–3 с обводной керамической рамкой и шагом выводов 0,5 мм с покрытием на основе золота.

Условное графическое обозначение ПЛИС приведено на рисунке 1.

Функциональное назначение выводов микросхем 5578ТС014, 5578ТС024 приведено в таблице 6.



FPGA – программируемая логическая интегральная схема (ПЛИС);
 TCK – тактовый вход JTAG;
 TDI – вход данных JTAG;
 TMS – управление состоянием TAP контроллера JTAG;
 nCE – разрешение конфигурирования в режиме Download;
 nDCLK – тактовый вход Download;
 nCONFIG – сброс конфигурации;
 MSEL – выбор типа конфигурирования в режиме Download;
 RES_MODE – выбор режима глобального сброса;
 DATA0 – вход данных Download;
 CLOCK – глобальный тактовый вход;
 TDO – выход данных JTAG;
 CONF_DONE – окончание конфигурирования;
 nSTATUS – готовность к конфигурированию или ошибка при конфигурировании

Таблица 5

Номер вывода	1	3	2	5	7	6	8	11	10	13	12	14	17	16	19	18	21	20	22	23	24	26	27	28	29
Метка вывода	/00	/01	/02	/03	/04	/05	/06	/07	/08	/09	/010	/011	/012	/013	/014	/015	/016	/017	/018	/019	/020	/021	/022	/023	/024
Номер вывода	37	38	39	40	41	42	43	44	46	48	50	49	52	51	54	56	55	58	57	60	59	62	61	63	67
Метка вывода	/025	/026	/027	/028	/029	/030	/031	/032	/033	/034	/035	/036	/037	/038	/039	/040	/041	/042	/043	/044	/045	/046	/047	/048	/049
Номер вывода	69	71	72	73	74	77	78	80	82	83	85	86	88	89	90	91	93	98	100	101	102	104	105	107	109
Метка вывода	/050	/051	/052	/053	/054	/055	/056	/057	/058	/059	/060	/061	/062	/063	/064	/065	/066	/067	/068	/069	/070	/071	/072	/073	/074
Номер вывода	110	111	112	114	115	116	117	118	120	121	122	126	128	133	132	135	134	137	136	139	138	141	140	143	142
Метка вывода	/075	/076	/077	/078	/079	/080	/081	/082	/083	/084	/085	/086	/087	/088	/089	/090	/091	/092	/093	/094	/095	/096	/097	/098	/099
Номер вывода	144	147	149	148	150	152	153	154	155	156	166	167	168	169	170	171	172	173	174	175	178	177	180	179	182
Метка вывода	/0100	/0101	/0102	/0103	/0104	/0105	/0106	/0107	/0108	/0109	/0110	/0111	/0112	/0113	/0114	/0115	/0116	/0117	/0118	/0119	/0120	/0121	/0122	/0123	/0124
Номер вывода	181	183	186	185	188	187	190	189	194	195	199	200	201	202	204	205	206	207	209	210	212	214	215	216	217
Метка вывода	/0125	/0126	/0127	/0128	/0129	/0130	/0131	/0132	/0133	/0134	/0135	/0136	/0137	/0138	/0139	/0140	/0141	/0142	/0143	/0144	/0145	/0146	/0147	/0148	/0149
Номер вывода	219	220	221	224	226	227	229	230	231	232	235	236	239	240	241	242	244	245	246	247	250	255			
Метка вывода	/0150	/0151	/0152	/0153	/0154	/0155	/0156	/0157	/0158	/0159	/0160	/0161	/0162	/0163	/0164	/0165	/0166	/0167	/0168	/0169	/0170	/0171			

Рисунок 1 – Условное графическое обозначение микросхем интегральных 5578ТС014, 5578ТС024 в корпусе 4244.256–3

Таблица 6

Подп. и дата
 Инв. № дубл.
 Взам.
 Подп. и дата
 Инв. № подл.

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
1	I/O0 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
2	I/O2 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
3	I/O1 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
4	2VCC	Питание выходных буферов	–	–
5	I/O3	Программируемый ввод-вывод	Вход/выход	Пользовательский
6	I/O5 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
7	I/O4 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
8	I/O6 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
9	1GND	Общий ядра	–	–
10	I/O8	Программируемый ввод-вывод	Вход/выход	Пользовательский
11	I/O7 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
12	I/O10	Программируемый ввод-вывод	Вход/выход	Пользовательский
13	I/O9	Программируемый ввод-вывод	Вход/выход	Пользовательский
14	I/O11	Программируемый ввод-вывод	Вход/выход	Пользовательский
15	2GND	Общий выходных буферов	–	–
16	I/O13	Программируемый ввод-вывод	Вход/выход	Пользовательский
17	I/O12	Программируемый ввод-вывод	Вход/выход	Пользовательский
18	I/O15	Программируемый ввод-вывод	Вход/выход	Пользовательский
19	I/O14	Программируемый ввод-вывод	Вход/выход	Пользовательский
20	I/O17	Программируемый ввод-вывод	Вход/выход	Пользовательский
21	I/O16	Программируемый ввод-вывод	Вход/выход	Пользовательский
22	I/O18	Программируемый ввод-вывод	Вход/выход	Пользовательский
23	I/O19	Программируемый ввод-вывод	Вход/выход	Пользовательский
24	I/O20	Программируемый ввод-вывод	Вход/выход	Пользовательский

Продолжение таблицы 6

Подп. и дата

Инв. № дубл.

Взам.

Подп. и дата

Инв. № подл.

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
25	2VCC	Питание выходных буферов	–	–
26	I/O21	Программируемый ввод-вывод	Вход/выход	Пользовательский
27	I/O22	Программируемый ввод-вывод	Вход/выход	Пользовательский
28	I/O23	Программируемый ввод-вывод	Вход/выход	Пользовательский
29	I/O24 ²⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
30	1VCC	Питание ядра	–	–
31	2VCC	Питание входных буферов	–	–
32	CLOCK2	Глобальный тактовый вход	Вход	Пользовательский
33	CLOCK1	Глобальный тактовый вход	Вход	Пользовательский
34	CLOCK0	Глобальный тактовый вход	Вход	Пользовательский
35	2GND	Общий входных буферов	–	–
36	1GND	Общий ядра	–	–
37	I/O25 ³⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
38	I/O26	Программируемый ввод-вывод	Вход/выход	Пользовательский
39	I/O27	Программируемый ввод-вывод	Вход/выход	Пользовательский
40	I/O28	Программируемый ввод-вывод	Вход/выход	Пользовательский
41	I/O29	Программируемый ввод-вывод	Вход/выход	Пользовательский
42	I/O30	Программируемый ввод-вывод	Вход/выход	Пользовательский
43	I/O31	Программируемый ввод-вывод	Вход/выход	Пользовательский
44	I/O32	Программируемый ввод-вывод	Вход/выход	Пользовательский
45	2GND	Общий выходных буферов	–	–
46	I/O33	Программируемый ввод-вывод	Вход/выход	Пользовательский
47	1VCC	Питание ядра	–	–
48	I/O34	Программируемый ввод-вывод	Вход/выход	Пользовательский
49	I/O36	Программируемый ввод-вывод	Вход/выход	Пользовательский

Продолжение таблицы 6

Подп. и дата

Инд. № дубл.

Взам.

Подп. и дата

Инд. № подл.

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
50	I/O35	Программируемый ввод-вывод	Вход/выход	Пользовательский
51	I/O38	Программируемый ввод-вывод	Вход/выход	Пользовательский
52	I/O37	Программируемый ввод-вывод	Вход/выход	Пользовательский
53	2VCC	Питание выходных буферов	–	–
54	I/O39	Программируемый ввод-вывод	Вход/выход	Пользовательский
55	I/O41	Программируемый ввод-вывод	Вход/выход	Пользовательский
56	I/O40	Программируемый ввод-вывод	Вход/выход	Пользовательский
57	I/O43	Программируемый ввод-вывод	Вход/выход	Пользовательский
58	I/O42	Программируемый ввод-вывод	Вход/выход	Пользовательский
59	I/O45	Программируемый ввод-вывод	Вход/выход	Пользовательский
60	I/O44	Программируемый ввод-вывод	Вход/выход	Пользовательский
61	I/O47	Программируемый ввод-вывод	Вход/выход	Пользовательский
62	I/O46	Программируемый ввод-вывод	Вход/выход	Пользовательский
63	I/O48	Программируемый ввод-вывод	Вход/выход	Пользовательский
64	1GND	Общий ядра	–	–
65	TCK	Тактовый вход JTAG	Вход	Служебный
66	CONF_DONE	Окончание конфигурирования	Вход/выход с открытым стоком	Служебный
67	I/O49 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
68	TDO	Выход данных JTAG	Выход с тремя состояниями	Служебный
69	I/O50	Программируемый ввод-вывод	Вход/выход	Пользовательский
70	1VCC	Питание ядра	–	–
71	I/O51	Программируемый ввод-вывод	Вход/выход	Пользовательский
72	I/O52	Программируемый ввод-вывод	Вход/выход	Пользовательский
73	I/O53	Программируемый ввод-вывод	Вход/выход	Пользовательский

Продолжение таблицы 6

Подп. и дата

Интв. № дубл.

Взам.

Подп. и дата

Интв. № подл.

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
74	I/O54 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
75	2GND	Общий выходных буферов	–	–
76	1GND	Общий ядра	–	–
77	I/O55	Программируемый ввод-вывод	Вход/выход	Пользовательский
78	I/O56	Программируемый ввод-вывод	Вход/выход	Пользовательский
79	1VCC	Питание ядра	–	–
80	I/O57	Программируемый ввод-вывод	Вход/выход	Пользовательский
81	2VCC	Питание выходных буферов	–	–
82	I/O58	Программируемый ввод-вывод	Вход/выход	Пользовательский
83	I/O59	Программируемый ввод-вывод	Вход/выход	Пользовательский
84	2GND	Общий входных буферов	–	–
85	I/O60	Программируемый ввод-вывод	Вход/выход	Пользовательский
86	I/O61	Программируемый ввод-вывод	Вход/выход	Пользовательский
87	1GND	Общий ядра	–	–
88	I/O62	Программируемый ввод-вывод	Вход/выход	Пользовательский
89	I/O63	Программируемый ввод-вывод	Вход/выход	Пользовательский
90	I/O64 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
91	I/O65	Программируемый ввод-вывод	Вход/выход	Пользовательский
92	1VCC	Питание ядра	–	–
93	I/O66	Программируемый ввод-вывод	Вход/выход	Пользовательский
94	CLOCK6	Глобальный тактовый вход	Вход	Пользовательский
95	CLOCK7	Глобальный тактовый вход	Вход	Пользовательский
96	1GND	Общий ядра	–	–
97	2GND	Общий выходных буферов	–	–
98	I/O67	Программируемый ввод-вывод	Вход/выход	Пользовательский

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
--------------	--------------------	----------------------------------	------------	---------------

Инва. № подл.	Подп. и дата	Взам.	Инва. № дубл.	Подп. и дата

Инва. № подл.	

99	2VCC	Питание входных буферов	–	–
100	I/O68	Программируемый ввод-вывод	Вход/выход	Пользовательский
101	I/O69	Программируемый ввод-вывод	Вход/выход	Пользовательский
102	I/O70	Программируемый ввод-вывод	Вход/выход	Пользовательский
103	2VCC	Питание выходных буферов	–	–
104	I/O71	Программируемый ввод-вывод	Вход/выход	Пользовательский
105	I/O72	Программируемый ввод-вывод	Вход/выход	Пользовательский
106	1VCC	Питание ядра	–	–
107	I/O73	Программируемый ввод-вывод	Вход/выход	Пользовательский
108	1GND	Общий ядра	–	–
109	I/O74	Программируемый ввод-вывод	Вход/выход	Пользовательский
110	I/O75	Программируемый ввод-вывод	Вход/выход	Пользовательский
111	I/O76	Программируемый ввод-вывод	Вход/выход	Пользовательский
112	I/O77	Программируемый ввод-вывод	Вход/выход	Пользовательский
113	1VCC	Питание ядра	–	–
114	I/O78	Программируемый ввод-вывод	Вход/выход	Пользовательский
115	I/O79	Программируемый ввод-вывод	Вход/выход	Пользовательский
116	I/O80	Программируемый ввод-вывод	Вход/выход	Пользовательский
117	I/O81	Программируемый ввод-вывод	Вход/выход	Пользовательский
118	I/O82	Программируемый ввод-вывод	Вход/выход	Пользовательский
119	1GND	Общий ядра	–	–
120	I/O83	Программируемый ввод-вывод	Вход/выход	Пользовательский
121	I/O84	Программируемый ввод-вывод	Вход/выход	Пользовательский
122	I/O85	Программируемый ввод-вывод	Вход/выход	Пользовательский
123	1VCC	Питание ядра	–	–

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
--------------	--------------------	----------------------------------	------------	---------------

124	2VCC	Питание выходных буферов	–	–
125	TMS	Управление состоянием TAP контроллера JTAG	Вход	Служебный
126	I/O86	Программируемый ввод-вывод	Вход/выход	Пользовательский
127	nSTATUS	Готовность к конфигурированию или ошибка при конфигурировании	Вход/выход с открытым стоком	Служебный
128	I/O87 ⁴⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
129	2GND	Общий выходных буферов	–	–
130	1GND	Общий ядра	–	–
131	1VCC	Питание ядра	–	–
132	I/O89	Программируемый ввод-вывод	Вход/выход	Пользовательский
133	I/O88	Программируемый ввод-вывод	Вход/выход	Пользовательский
134	I/O91	Программируемый ввод-вывод	Вход/выход	Пользовательский
135	I/O90	Программируемый ввод-вывод	Вход/выход	Пользовательский
136	I/O93	Программируемый ввод-вывод	Вход/выход	Пользовательский
137	I/O92	Программируемый ввод-вывод	Вход/выход	Пользовательский
138	I/O95	Программируемый ввод-вывод	Вход/выход	Пользовательский
139	I/O94	Программируемый ввод-вывод	Вход/выход	Пользовательский
140	I/O97	Программируемый ввод-вывод	Вход/выход	Пользовательский
141	I/O96	Программируемый ввод-вывод	Вход/выход	Пользовательский
142	I/O99	Программируемый ввод-вывод	Вход/выход	Пользовательский
143	I/O98	Программируемый ввод-вывод	Вход/выход	Пользовательский
144	I/O100	Программируемый ввод-вывод	Вход/выход	Пользовательский
145	1VCC	Питание ядра	–	–
146	2GND	Общий выходных буферов	–	–

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
--------------	--------------------	----------------------------------	------------	---------------

147	I/O101	Программируемый ввод-вывод	Вход/выход	Пользовательский
148	I/O103	Программируемый ввод-вывод	Вход/выход	Пользовательский
149	I/O102	Программируемый ввод-вывод	Вход/выход	Пользовательский
150	I/O104	Программируемый ввод-вывод	Вход/выход	Пользовательский
151	2VCC	Питание выходных буферов	–	–
152	I/O105	Программируемый ввод-вывод	Вход/выход	Пользовательский
153	I/O106	Программируемый ввод-вывод	Вход/выход	Пользовательский
154	I/O107	Программируемый ввод-вывод	Вход/выход	Пользовательский
155	I/O108	Программируемый ввод-вывод	Вход/выход	Пользовательский
156	I/O109	Программируемый ввод-вывод	Вход/выход	Пользовательский
157	1GND	Общий ядра	–	–
158	2VCC	Питание входных буферов	–	–
159	CLOCK3	Глобальный тактовый вход	Вход	Пользовательский
160	CLOCK4	Глобальный тактовый вход	Вход	Пользовательский
161	CLOCK5	Глобальный тактовый вход	Вход	Пользовательский
162	1GND	Общий ядра	–	–
163	1VCC	Питание ядра	–	–
164	2GND	Общий входных буферов	–	–
165	1VCC	Питание ядра	–	–
166	I/O110	Программируемый ввод-вывод	Вход/выход	Пользовательский
167	I/O111	Программируемый ввод-вывод	Вход/выход	Пользовательский
168	I/O112	Программируемый ввод-вывод	Вход/выход	Пользовательский
169	I/O113	Программируемый ввод-вывод	Вход/выход	Пользовательский
170	I/O114	Программируемый ввод-вывод	Вход/выход	Пользовательский
171	I/O115	Программируемый ввод-вывод	Вход/выход	Пользовательский

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
--------------	--------------------	----------------------------------	------------	---------------

172	I/O116	Программируемый ввод-вывод	Вход/выход	Пользовательский
173	I/O117	Программируемый ввод-вывод	Вход/выход	Пользовательский
174	I/O118	Программируемый ввод-вывод	Вход/выход	Пользовательский
175	I/O119	Программируемый ввод-вывод	Вход/выход	Пользовательский
176	2GND	Общий выходных буферов	–	–
177	I/O121	Программируемый ввод-вывод	Вход/выход	Пользовательский
178	I/O120	Программируемый ввод-вывод	Вход/выход	Пользовательский
179	I/O123	Программируемый ввод-вывод	Вход/выход	Пользовательский
180	I/O122	Программируемый ввод-вывод	Вход/выход	Пользовательский
181	I/O125	Программируемый ввод-вывод	Вход/выход	Пользовательский
182	I/O124	Программируемый ввод-вывод	Вход/выход	Пользовательский
183	I/O126	Программируемый ввод-вывод	Вход/выход	Пользовательский
184	2VCC	Питание выходных буферов	–	–
185	I/O128	Программируемый ввод-вывод	Вход/выход	Пользовательский
186	I/O127	Программируемый ввод-вывод	Вход/выход	Пользовательский
187	I/O130	Программируемый ввод-вывод	Вход/выход	Пользовательский
188	I/O129	Программируемый ввод-вывод	Вход/выход	Пользовательский
189	I/O132	Программируемый ввод-вывод	Вход/выход	Пользовательский
190	I/O131	Программируемый ввод-вывод	Вход/выход	Пользовательский
191	1VCC	Питание ядра	–	–
192	1GND	Общий ядра	–	–
193	nCONFIG	Сброс конфигурации	Вход	Служебный
194	I/O133	Программируемый ввод-вывод	Вход/выход	Пользовательский
195	I/O134	Программируемый ввод-вывод	Вход/выход	Пользовательский

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
--------------	--------------------	----------------------------------	------------	---------------

196	MSEL	Выбор типа конфигурирования в режиме Download	Вход	Служебный
197	1GND	Общий ядра	–	–
198	2GND	Общий выходных буферов	–	–
199	I/O135	Программируемый ввод-вывод	Вход/выход	Пользовательский
200	I/O136	Программируемый ввод-вывод	Вход/выход	Пользовательский
201	I/O137	Программируемый ввод-вывод	Вход/выход	Пользовательский
202	I/O138	Программируемый ввод-вывод	Вход/выход	Пользовательский
203	1VCC	Питание ядра	–	–
204	I/O139	Программируемый ввод-вывод	Вход/выход	Пользовательский
205	I/O140	Программируемый ввод-вывод	Вход/выход	Пользовательский
206	I/O141	Программируемый ввод-вывод	Вход/выход	Пользовательский
207	I/O142	Программируемый ввод-вывод	Вход/выход	Пользовательский
208	1GND	Общий ядра	–	–
209	I/O143	Программируемый ввод-вывод	Вход/выход	Пользовательский
210	I/O144	Программируемый ввод-вывод	Вход/выход	Пользовательский
211	1VCC	Питание ядра	–	–
212	I/O145	Программируемый ввод-вывод	Вход/выход	Пользовательский
213	2VCC	Питание выходных буферов	–	–
214	I/O146	Программируемый ввод-вывод	Вход/выход	Пользовательский
215	I/O147	Программируемый ввод-вывод	Вход/выход	Пользовательский
216	I/O148	Программируемый ввод-вывод	Вход/выход	Пользовательский
217	I/O149	Программируемый ввод-вывод	Вход/выход	Пользовательский
218	2GND	Общий выходных буферов	–	–
219	I/O150	Программируемый ввод-вывод	Вход/выход	Пользовательский

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
--------------	--------------------	----------------------------------	------------	---------------

220	I/O151	Программируемый ввод-вывод	Вход/выход	Пользовательский
221	I/O152	Программируемый ввод-вывод	Вход/выход	Пользовательский
222	1GND	Общий ядра	–	–
223	1VCC	Питание ядра	–	–
224	I/O153	Программируемый ввод-вывод	Вход/выход	Пользовательский
225	2VCC	Питание входных буферов	–	–
226	I/O154	Программируемый ввод-вывод	Вход/выход	Пользовательский
227	I/O155	Программируемый ввод-вывод	Вход/выход	Пользовательский
228	1GND	Общий ядра	–	–
229	I/O156	Программируемый ввод-вывод	Вход/выход	Пользовательский
230	I/O157	Программируемый ввод-вывод	Вход/выход	Пользовательский
231	I/O158	Программируемый ввод-вывод	Вход/выход	Пользовательский
232	I/O159	Программируемый ввод-вывод	Вход/выход	Пользовательский
233	2VCC	Питание выходных буферов	–	–
234	1VCC	Питание ядра	–	–
235	I/O160	Программируемый ввод-вывод	Вход/выход	Пользовательский
236	I/O161	Программируемый ввод-вывод	Вход/выход	Пользовательский
237	1GND	Общий ядра	–	–
238	2GND	Общий выходных буферов	–	–
239	I/O162	Программируемый ввод-вывод	Вход/выход	Пользовательский
240	I/O163	Программируемый ввод-вывод	Вход/выход	Пользовательский
241	I/O164	Программируемый ввод-вывод	Вход/выход	Пользовательский
242	I/O165	Программируемый ввод-вывод	Вход/выход	Пользовательский
243	1VCC	Питание ядра	–	–
244	I/O166	Программируемый ввод-вывод	Вход/выход	Пользовательский

Окончание таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
--------------	--------------------	----------------------------------	------------	---------------

245	I/O167	Программируемый ввод-вывод	Вход/выход	Пользовательский
246	I/O168	Программируемый ввод-вывод	Вход/выход	Пользовательский
247	I/O169	Программируемый ввод-вывод	Вход/выход	Пользовательский
248	RES_MODE	Выбор режима глобального сброса	Вход	Служебный
249	1GND	Общий ядра	–	–
250	I/O170	Программируемый ввод-вывод	Вход/выход	Пользовательский
251	1VCC	Питание ядра	–	–
252	TDI	Вход данных JTAG	Вход	Служебный
253	nCE	Разрешение конфигурирования в режиме Download	Вход	Служебный
254	DCLK	Тактовый вход Download	Вход	Служебный
255	I/O171 ⁵⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
256	1GND	Общий ядра	–	–

¹⁾ При конфигурировании ПЛИС в режиме FPP (быстрый пассивный параллельный) выходы I/O0, I/O1, I/O2, I/O4, I/O5, I/O6, I/O7 используются как служебные DATA1, DATA2, DATA3, DATA4, DATA5, DATA6, DATA7 соответственно. После конфигурирования указанные выходы могут быть пользовательскими согласно таблице 6.

²⁾ После выхода ПЛИС в рабочий режим вывод I/O24 может быть использован как глобальный сигнал сброса всех триггеров (DEV_CLRn), если это указано пользователем.

³⁾ После выхода ПЛИС в рабочий режим вывод I/O25 может быть использован как глобальный сигнал разрешения третьего состояния всех элементов ввода-вывода (DEV_OE), если это указано пользователем.

⁴⁾ Выводы I/O49, I/O54, I/O64, I/O87 могут быть использованы как служебные nCEO, CLKUSR, INIT_DONE, ERR соответственно, если это указано пользователем.

⁵⁾ При конфигурировании ПЛИС в режимах PS (пассивный синхронный) и FPP (быстрый пассивный параллельный) вывод I/O171 используется как служебный DATA0. После конфигурирования данный вывод может быть пользовательским согласно таблице 6.

5 Описание архитектуры ПЛИС

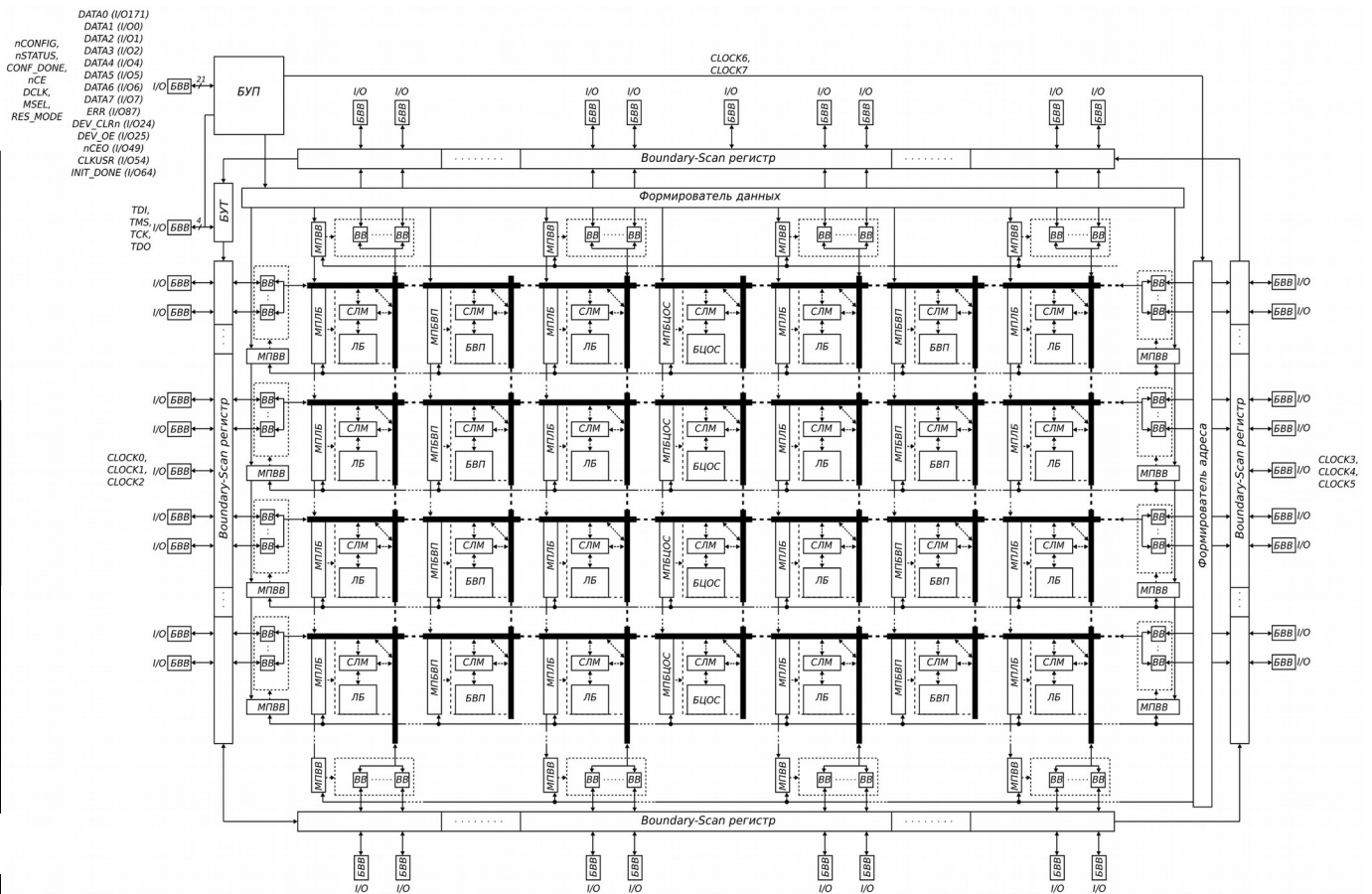
В основе архитектуры ПЛИС лежат следующие компоненты:

- матрица памяти, управляющая коммутацией и режимами работы элементов ядра ПЛИС;
- система межсоединений (СМ) с блоками коммутации (БК);
- глобальные сигналы управления (клоковое дерево);
- логические блоки (ЛБ), состоящие из 8 адаптивных логических модулей (АЛМ), которые используются для реализации простой логики, счетчиков, сумматоров, конечных автоматов состояний и мультиплексоров;
- блоки пользовательской памяти (БПП), объемом 9 Кбит каждый, используемые для реализации разнообразных функций памяти или сложных логических функций;
- блоки цифровой обработки сигналов (БЦОС), предназначенные для реализации функций умножения, умножения-накопления и др., используемых при построении цифровых фильтров;
- модули ввода-вывода (МВВ), осуществляющие передачу сигналов между ядром и периферией ПЛИС;
- программируемые периферийные блоки ввода-вывода (БВВ);
- блок управления программированием (БУП), основное назначение которого осуществлять загрузку конфигурационных данных в матрицу памяти ПЛИС в соответствии с выбранной пользователем схемой конфигурирования.

Подп. и дата

Подп. и дата Взам. Инв. № дубл.

Инв. № подл.



СЛМ — система локальных межсоединений;
 МПВВ — матрица памяти элементов ввода-вывода;
 МПЛБ — матрица памяти логического блока;
 МПВВП — матрица памяти блока встроенной памяти;
 МПВБЦОС — матрица памяти блока цифровой обработки сигналов;
 БВВ — буфер ввода-вывода;
 ВВ — элемент ввода-вывода;
 ЛБ — логический блок;
 БВП — блок встроенной памяти;
 БЦОС — блок цифровой обработки сигналов;
 БУТ — блок управления тестированием (TAG);
 БУП — блок управления программированием (TAG, Download);
 ... — коммутатор;
 — система глобальных межсоединений.

СЛМ – система локальных межсоединений;
 МПВВ – матрица памяти элементов ввода-вывода;
 МПЛБ – матрица памяти логического блока;
 МПБВП – матрица памяти блока встроенной памяти;
 МПБЦОС – матрица памяти блока цифровой обработки сигналов;
 БВВ – буфер ввода-вывода;
 ВВ – элемент ввода-вывода;
 ЛБ – логический блок;
 БВП – блок встроенной памяти;
 БЦОС – блок цифровой обработки сигналов;
 БУТ – блок управления тестированием (JTAG);
 БУП – блок управления программированием (JTAG, Download)
 – –► – коммутатор;
 ■ – система глобальных межсоединений.

Рисунок 2 – Схема электрическая структурная микросхем интегральных 5578ТС014, 5578ТС024

5.1 Логический блок

Основной ячейкой разрабатываемой ПЛИС является ЛБ, структурная схема которого представлена на рисунке 3.

ЛБ состоит из 8 АЛМ, каждый из которых имеет 8 входов данных и может реализовывать одну произвольную 6-входовую или две произвольные 4-входовые функции. В ЛБ проходят 48 локальных линий, которые могут быть скоммутированы на входы данных АЛМ, а так же быть использованы для управляющих сигналов. В центре ЛБ находятся блоки формирования и коммутации управляющих сигналов. Управляющие сигналы могут быть получены с 6 глобальных выделенных шин или с локальных линий. Кроме того, ЛБ имеет специальные линии *register_chain* и *shared_arithmetic*, а так же 3 линии распространения переноса (соответственно схеме суммирования с выбором переноса). Направление линий: по левой половине АЛМ – вниз, по правой – вверх. На уровне массива ЛБ можно выбирать либо распространение сигналов вправо змейкой, либо вверх или вниз с использованием только одной половины ЛБ.

Структурная схема АЛМ приведена на рисунке 4. АЛМ состоит из восьми 3-входовых LUT ($8 \times \text{LUT}_3$), двух выделенных сумматоров и двух триггеров с возможностью синхронного и асинхронного сброса, синхронной загрузки из нескольких источников, использования обратной связи и обвода триггера.

Инд. № подл.	Подп. и дата	Взам.	Индв. № дубл.	Подп. и дата

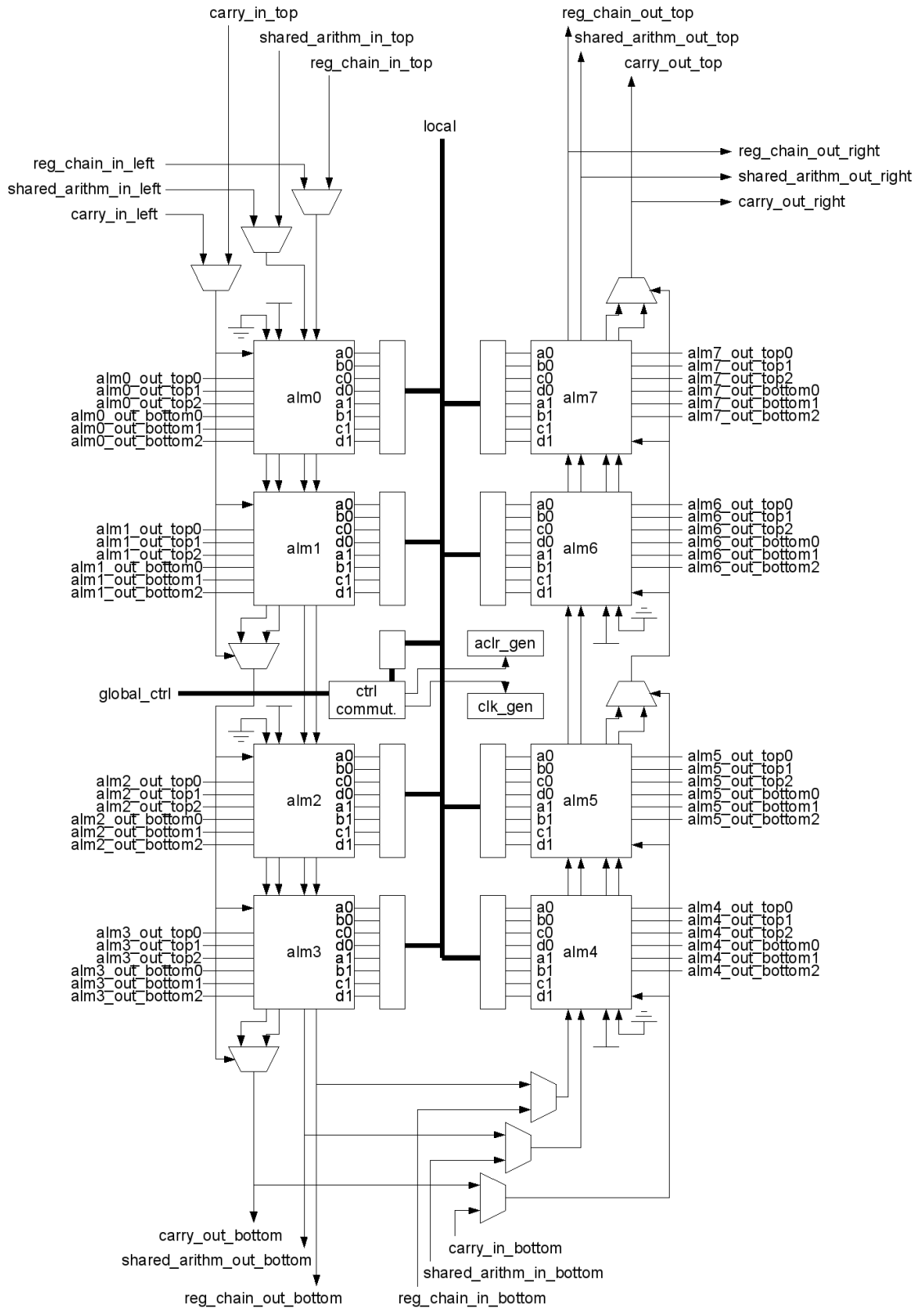


Рисунок 3 – Структурная схема ЛБ

Подп. и дата

Индв. № дубл.

Взам.

Подп. и дата

Индв. № подл.

И Inv. № подл.	Подп. и дата	Взам.	И Inv. № дубл.	Подп. и дата

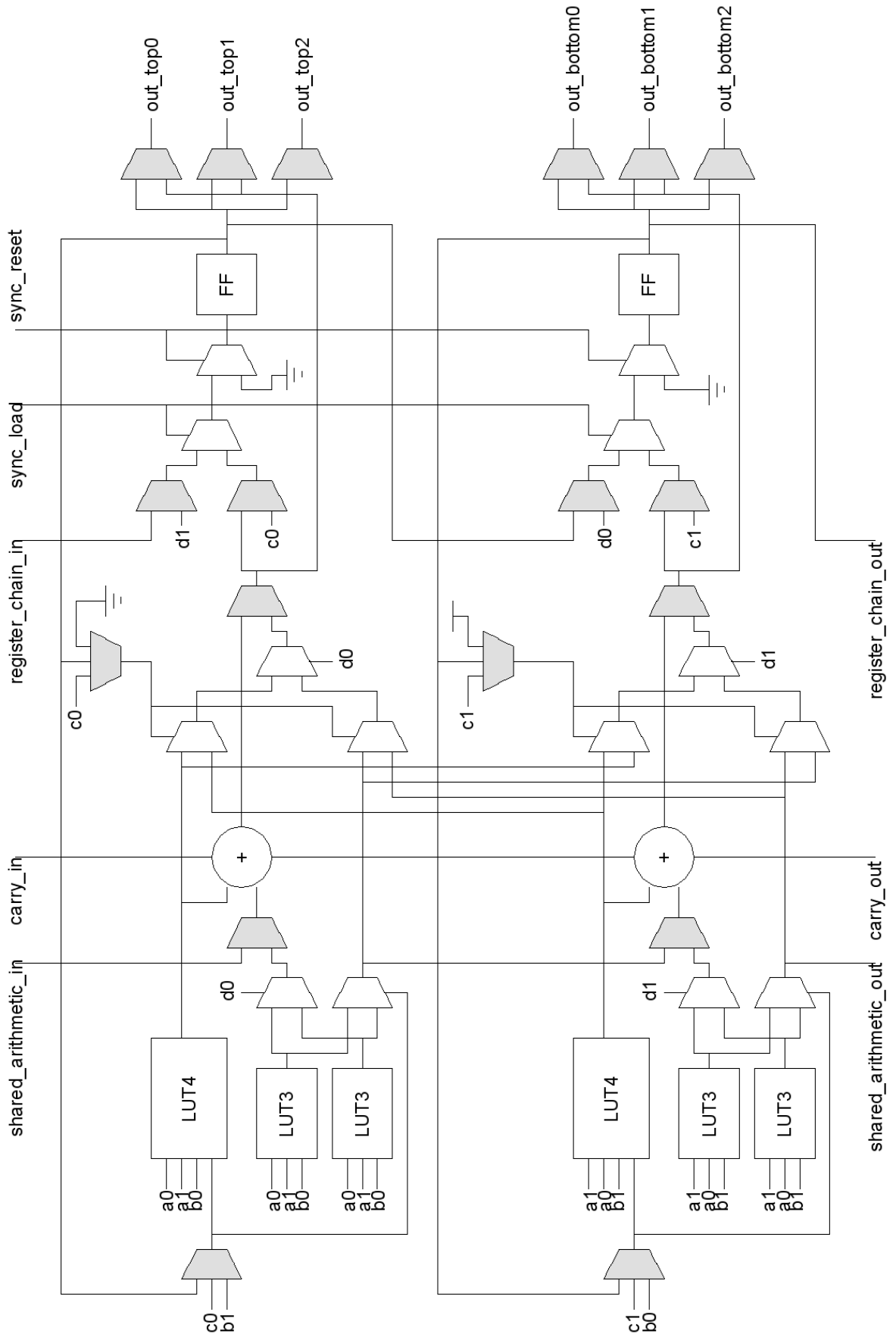


Рисунок 4 – Структурная схема АЛМ

5.2 Блок пользовательской памяти

БПП предназначен для эффективного хранения пользовательских данных, передачи данных между доменами с помощью FIFO, хранения буферов и т.д. БПП поддерживают однопортовый (*single-port*), простой двухпортовый (*simple dual-port*), полнофункциональный двухпортовый (*true dual-port*) режимы работы. Однопортовый режим поддерживается для всех разрядностей портов с конфигурациями $\times 1$, $\times 2$, $\times 4$, $\times 8$, $\times 9$, $\times 16$, $\times 18$, $\times 32$ и $\times 36$. Полнофункциональный двухпортовый и простой двухпортовый режимы поддерживаются для разрядностей портов с конфигурациями $\times 1$, $\times 2$, $\times 4$, $\times 8$, $\times 9$, $\times 16$ и $\times 18$.

Основные характеристики блока:

- 4 096 бит памяти на блок (4 608 бит включая биты четности);
- поддержка различных конфигураций портов;
- полнофункциональный двухпортовый режим (два независимых порта с возможностью чтения и записи по каждому);
- сигнал *byte enable* для маскирования входов при записи;
- возможность инициализации содержимого памяти при загрузке.

5.2.1 Управляющие сигналы БПП

На рисунке 5 показана схема формирования управляющих сигналов БПП.

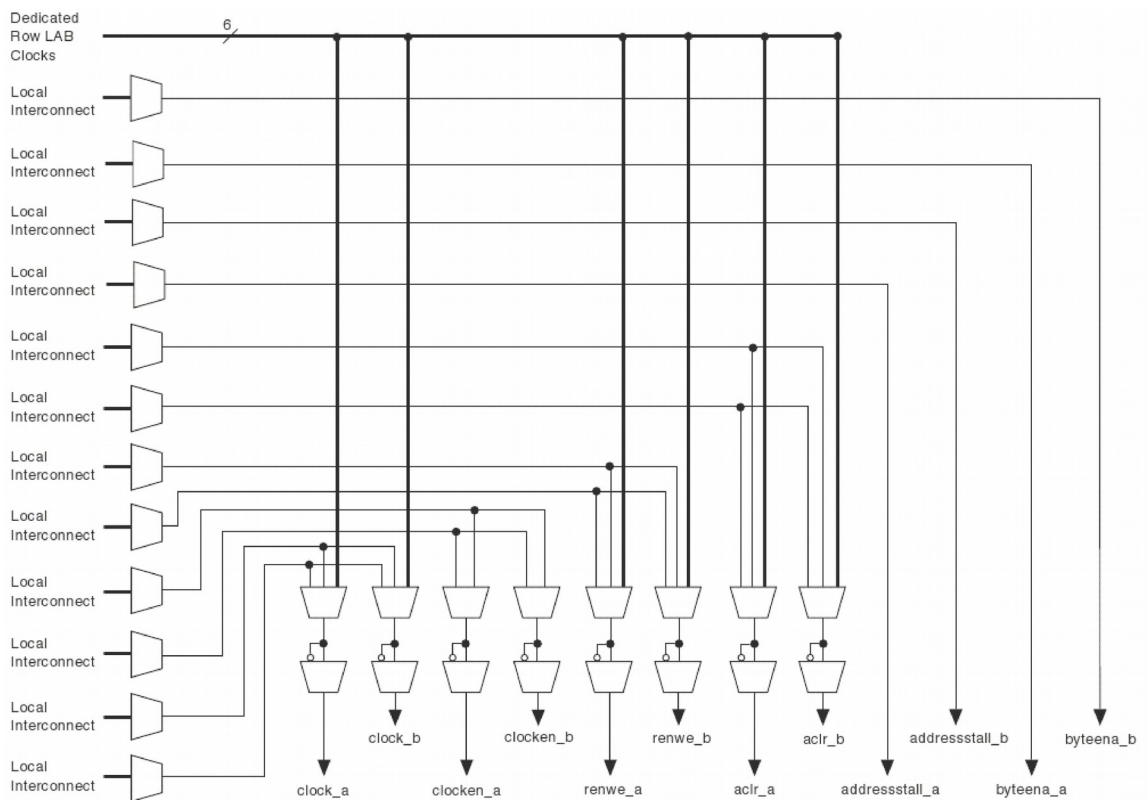


Рисунок 5 – Схема формирования управляющих сигналов БПП

5.2.2 Биты четности

Для детектирования ошибок возможна проверка битов четности с использованием внутренней логики. БПП содержат биты четности для каждого хранимого байта. Эти биты также могут использоваться, как дополнительные биты данных.

5.2.3 Сигнал *byte enable*

В БПП имеются сигналы *byte enable*, которые маскируют входные данные, так что записываются только определенные байты данных. Незаписанные данные сохраняют предыдущие значения. Сигналы *wren* вместе с *byte enable* контролируют операцию записи БПП.

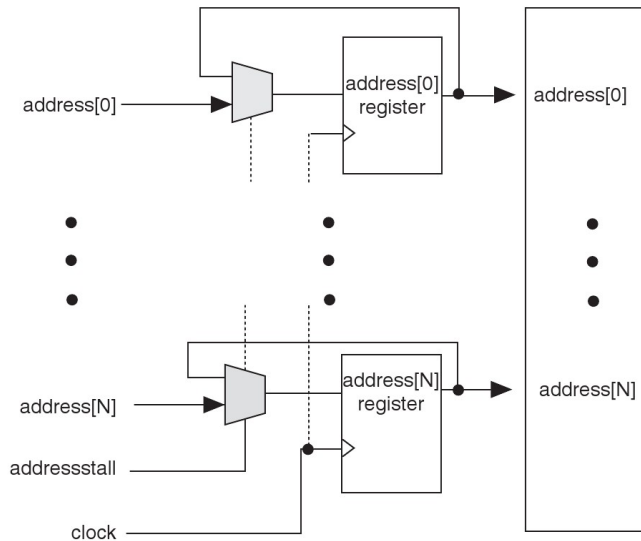
Использование сигналов *byte enable* возможно для всех разрядностей порта записи $\times 1$, $\times 2$, $\times 4$, $\times 8$, $\times 9$, $\times 16$, $\times 18$, $\times 32$, $\times 36$. Для разрядностей $\times 16$, $\times 18$, $\times 32$, $\times 36$ младший разряд *byte enable* соответствует младшему байту в шине данных. Например, если *byte enable* = 01 и используется БПП в режиме $\times 18$, то *data*[8:0] разрешен, а *data*[17:9] запрещен. Сигнал *byte enable* имеет высокий активный уровень. Разрешена любая комбинация *byte enable*. Для разрядностей $\times 1$, $\times 2$, $\times 4$, $\times 8$, $\times 9$ сигнал *byte enable* дублирует функцию сигнала разрешения записи. В таблице 7 приведено соответствие разрядов сигнала *byte enable* байтам данных.

Таблица 7

<i>byte enable</i> [3..0]	Разрешаемые байты								
	<i>datain</i> $\times 1$	<i>datain</i> $\times 2$	<i>datain</i> $\times 4$	<i>datain</i> $\times 8$	<i>datain</i> $\times 9$	<i>datain</i> $\times 16$	<i>datain</i> $\times 18$	<i>datain</i> $\times 32$	<i>datain</i> $\times 36$
[0]=1	[0]	[1:0]	[3:0]	[7:0]	[8:0]	[7:0]	[8:0]	[7:0]	[8:0]
[1]=1	–	–	–	–	–	[15:8]	[17:9]	[15:8]	[17:9]
[2]=1	–	–	–	–	–	–	–	[23:16]	[26:18]
[3]=1	–	–	–	–	–	–	–	[31:24]	[35:27]

5.2.4 Разрешение тактового сигнала для входов адреса

БПП поддерживают активный низким уровнем сигнал разрешения тактирования входа адреса *addressstall*, который удерживает предыдущее значение адреса до тех пор, пока *addressstall* = 1. В двухпортовом режиме каждый порт имеет свой независимый сигнал *addressstall*. На рисунке 6 показана схема использования *addressstall*.

Рисунок 6 – Схема использования *addressstall*

5.2.5 Режимы работы

Поддерживаются следующие основные режимы работы БПП:

- однопортовый (*single-port*);
- простой двухпортовый (*simple dual-port*);
- полнофункциональный двухпортовый (*true dual-port*);
- ПЗУ.

Схема БПП в однопортовом режиме приведена на рисунке 7.

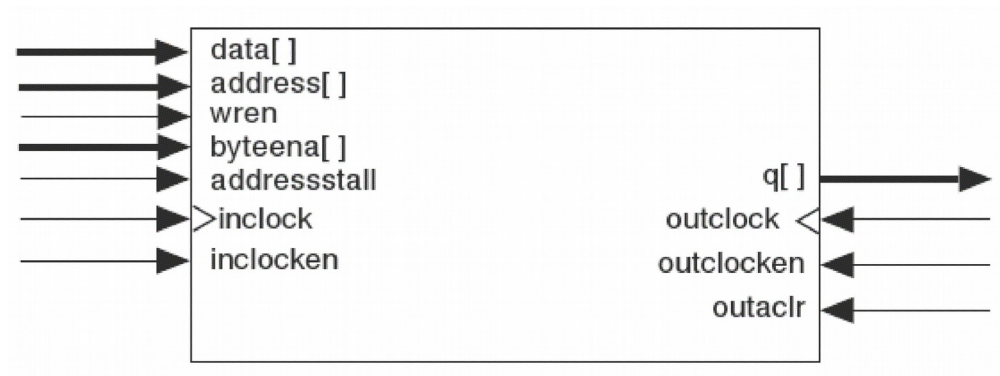


Рисунок 7 – Схема БПП в однопортовом режиме

В однопортовом режиме возможны следующие конфигурации портов:
 4 096×1; 2 048×2; 1 024×4; 512×8; 512×9; 256×16; 256×18; 128×32; 128×36.

В простом двухпортовом режиме один порт используется для записи,

второй – для чтения. Схема БПП в простом двухпортовом режиме приведена на рисунке 8. Помимо показанных тактовых сигналов записи и чтения, простой двухпортовый режим также поддерживает входной и выходной тактовый сигнал.

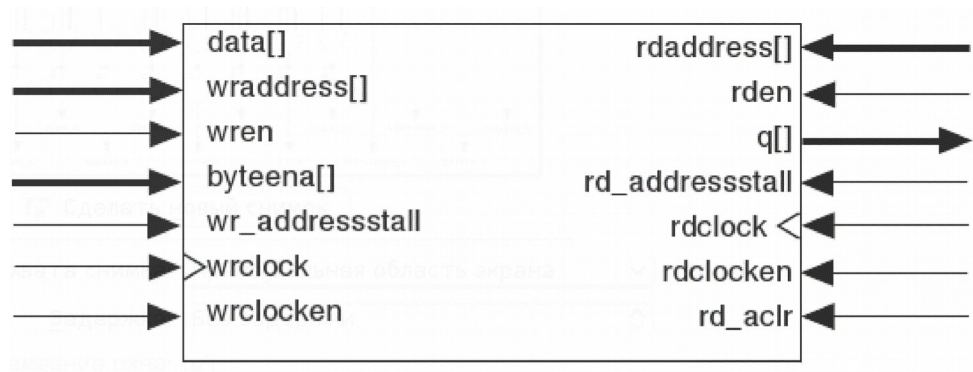


Рисунок 8 – Схема БПП в простом двухпортовом режиме

В простом двухпортовом режиме для каждого из портов возможно использование различных конфигураций. В таблице 8 приведены возможные сочетания разрядностей.

Таблица 8

Порт чтения	Порт записи						
	4 096×1	2 048×2	1 024×4	512×8	256×16	512×9	256×18
4 096×1	+	+	+	+	+	–	–
2 048×2	+	+	+	+	+	–	–
1 024×4	+	+	+	+	+	–	–
512×8	+	+	+	+	+	–	–
256×16	+	+	+	+	+	–	–
512×9	–	–	–	–	–	+	+
256×18	–	–	–	–	–	+	+

В простом двухпортовом режиме используются отдельные сигналы *rden* и *wren*.

Схема БПП в полнофункциональном двухпортовом режиме приведена на рисунке 9.

В полнофункциональном двухпортовом режиме возможны любые сочетания операций обоих портов: два чтения, две записи, одна запись и одно чтение с использованием различных тактовых сигналов.

В данном режиме наибольшая разрядность 256×16 (×18 с битами четно-

Подп. и дата

Инв. № дубл.

Взам.

Подп. и дата

Инв. № подл.

сти). В таблице 9 приведены возможные сочетания разрядностей в полнофункциональном двухпортовом режиме.

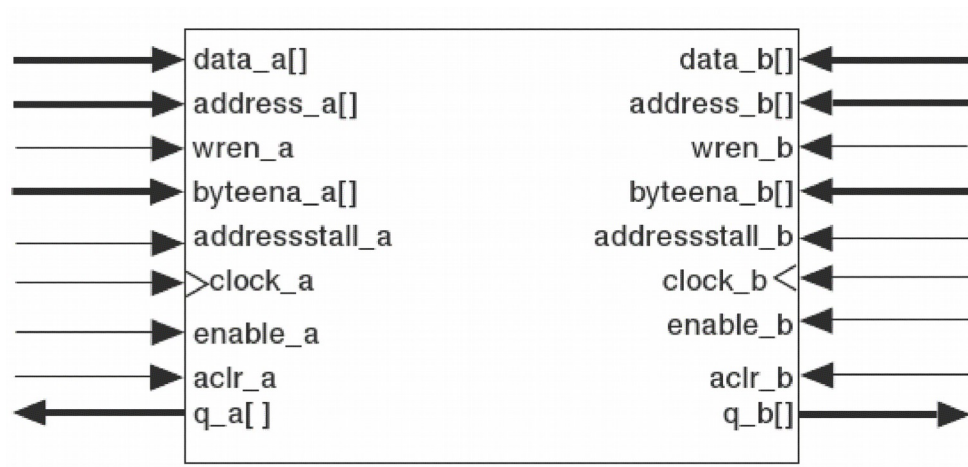


Рисунок 9 – Схема БПП в полнофункциональном двухпортовом режиме

Таблица 9

Порт чтения	Порт записи						
	4 096×1	2 048×2	1 024×4	512×8	256×16	512×9	256×18
4 096×1	+	+	+	+	+	-	-
2 048×2	+	+	+	+	+	-	-
1 024×4	+	+	+	+	+	-	-
512×8	+	+	+	+	+	-	-
256×16	+	+	+	+	+	-	-
512×9	-	-	-	-	-	+	+
256×18	-	-	-	-	-	+	+

В полнофункциональном двухпортовом режиме имеется возможность доступа к любой области памяти по обоим портам. Однако необходимо избегать конфликтов, возникающих при одновременной попытке записи по одному адресу с разных портов. В этом случае записанные данные не определены.

В режиме ПЗУ инициализация содержимого памяти осуществляется при загрузке конфигурации. Входы адреса – регистровые, выходы могут быть как регистровыми, так и без регистров. Операция чтения идентична операции чтения в однопортовой конфигурации.

5.3 Блок цифровой обработки сигнала

БЦОС используются для эффективной реализации функций, используемых при цифровой обработке сигналов. Структурная схема БЦОС показана на рисунке 10. БЦОС состоит из входных регистров, умножителя 18×18 и выходных регистров.

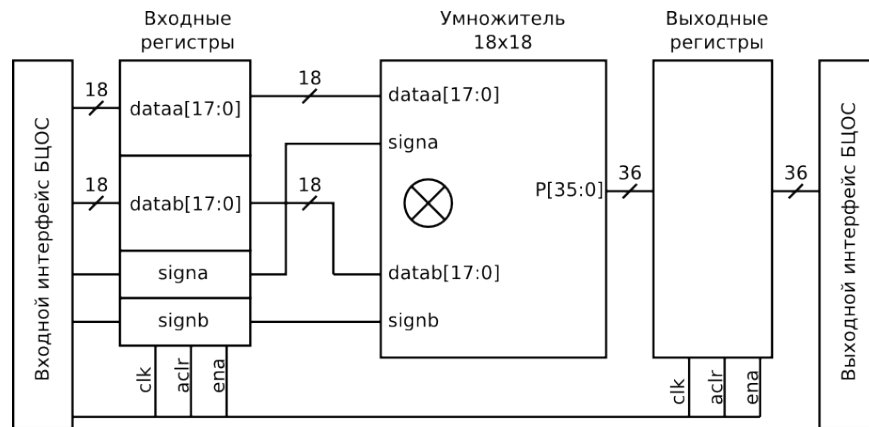


Рисунок 10 – Структурная схема БЦОС

В каждом БЦОС имеется возможность скоммутировать входные сигналы на входные регистры или напрямую на умножитель. Каждый вход может быть скоммутирован через регистры независимо от других. Также возможно скоммутировать выходной сигнал на выходные регистры или напрямую на выход.

Для входных и выходных регистров используются следующие управляющие сигналы:

- тактовый сигнал;
- сигнал разрешения тактирования;
- асинхронный сброс.

Все входные и выходные регистры в пределах одного БЦОС управляются одним тактовым сигналом, сигналом разрешения тактирования и асинхронным сбросом.

Умножитель поддерживает разрядности 18×18 бит и менее. Для определения знакового представления переменных используются сигналы *signa* и *signb*. Если сигнал *signa* или *signb* находится в состоянии высокого уровня, то *dataa* или *datab* имеют знаковое представление. Если хотя бы одна из переменных знаковая, то результат умножения тоже знаковый.

5.4 Модуль ввода-вывода

По периметру ядра ПЛИС располагаются МВВ, которые формируют выходные сигналы данных и сигнал управления *Z*-состоянием (*output enable*) для БВВ, а также принимают входные данные с БВВ и передают их на межсоединения. МВВ имеет следующие особенности:

- вход, выход и *output enable* могут быть как комбинационными, так и регистровыми;
- имеется возможность работы в DDR режиме;
- имеется управляемая задержка по выходу и *output enable* для выравнивания выходов или уменьшения помех;
- имеется управляемая задержка по входу для обеспечения нулевого времени удержания (hold);
- по глобальному сигналу *output enable* все БВВ переходят в *Z*-состояние;
- имеется возможность вывести тестовые данные на контактную площадку до загрузки конфигурации;

Структурная схема МВВ приведена на рисунке 11.

В МВВ два клоковых домена: выходной триггер, *output enable* и входной триггер. Клоковый домен – это тройка связанных сигналов: *clk*, *ena*, *rst*.

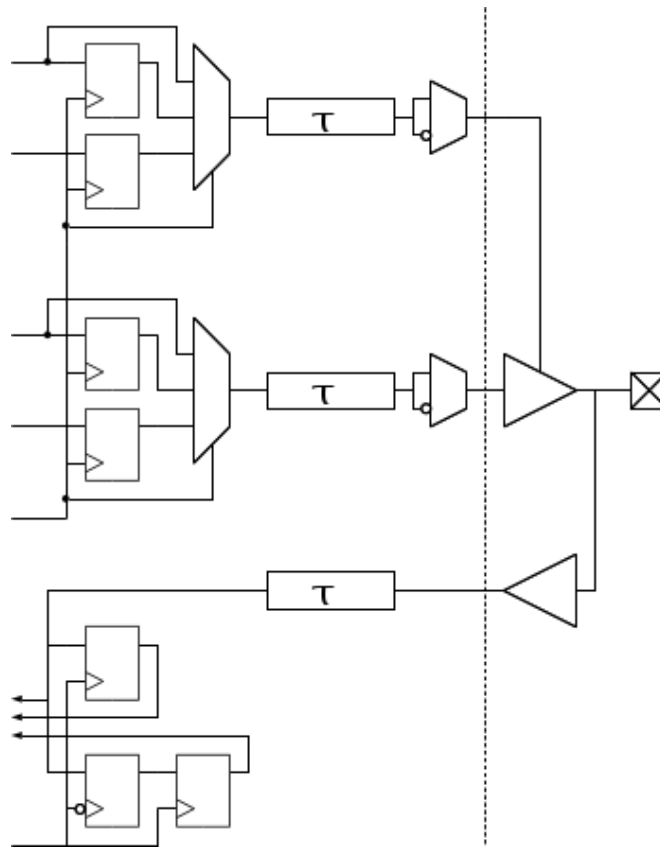


Рисунок 11 – Структурная схема МВВ

После включения питания и до окончания конфигурирования вне зави-

симости от значений в ячейках памяти МВВ формирует сигналы, переводящие выводы в Z-состояние и включающие на них *pull-up* резистор.

Любой пользовательский элемент ввода-вывода можно сконфигурировать как выход с открытым стоком (электрический эквивалент открытого коллектора). Наличие этой опции позволяет обеспечить получение сигналов контроля системного уровня (таких как сигнал прерывания, сигнал разрешения записи), а также дает возможность реализации логической схемы типа монтажного «ИЛИ».

5.5 Поддержка периферийного сканирования

ПЛИС поддерживают схему периферийного сканирования по JTAG порту, которая удовлетворяет техническим требованиям стандарта IEEE Std. 1149.1. Подробное описание интерфейса JTAG приведено в инструкции по программированию ГПКФ.431262.006Д4.

6 Тестирование

Каждая ПЛИС проходит полный цикл тестирования всех функциональных блоков и всех режимов их работы, что гарантирует 100 % годность ПЛИС.

7 Расчет рассеиваемой мощности ПЛИС

Рассеиваемую мощность P_{tot} , Вт, вычисляют по формуле

$$P_{tot} = P_{tot1} + P_{tot2}, \quad (1)$$

где P_{tot1} – рассеиваемая мощность ядра, Вт;

P_{tot2} – рассеиваемая мощность периферии, Вт.

Рассеиваемую мощность ядра P_{tot1} , Вт, вычисляют по формуле

$$P_{tot1} = (I_{CC1} + I_{OCC1}) \cdot U_{CC1}, \quad (2)$$

где I_{CC1} – ток потребления ядра, А;

I_{OCC1} – динамический ток потребления ядра, А;

U_{CC1} – напряжение питания ядра, В.

Динамический ток потребления ядра I_{OCC1} , А, вычисляют по формуле

$$I_{OCC1} = K \cdot f_C \cdot N_{LC} \cdot \text{tog}_{LC} \cdot 10^{-6}, \quad (3)$$

где K – коэффициент пропорциональности величины тока потребления от частоты, мкА/МГц. Данный коэффициент зависит от проекта (конфигурации логического элемента и нагрузки, подключенной к его выходу) и внешних условий

(напряжения питания и температуры). Для типового проекта $K = 3,8$ мкА/МГц; f_C – частота следования импульсов тактового сигнала, МГц, определяемая

разработчиком аппаратуры;

N_{LC} – количество задействованных в данном проекте логических элементов;

tog_{LC} – средняя доля от задействованных в проекте логических элементов, переключающихся по каждому такту (типичное значение 0,125).

Рассеиваемую мощность периферии P_{tot2} , Вт, вычисляют по формуле

$$P_{\text{tot2}} = I_{CC2} \cdot U_{CC2} + \sum I_{OLi} \cdot U_{OLi} + \sum |I_{OHi}| \cdot (U_{CC2} - U_{OHi}) + I_{OCC2} \cdot U_{CC2}, \quad (4)$$

где I_{CC2} – ток потребления периферии, А;

I_{OLi} – ток нагрузки низкого уровня для i -го выхода, А;

U_{OLi} – выходное напряжение низкого уровня для i -го выхода, В;

I_{OHi} – ток нагрузки высокого уровня для i -го выхода, А;

U_{OHi} – выходное напряжение высокого уровня для i -го выхода, В;

I_{OCC2} – динамический ток потребления периферии, А;

U_{CC2} – напряжение питания периферии, В.

Динамический ток потребления периферии I_{OCC2} , А, вычисляют по формуле

$$I_{OCC2} = 0,5 \cdot C_L \cdot f_C \cdot N_{IO} \cdot \text{tog}_{IO} \cdot (U_{OH} - U_{OL}) \cdot 10^{-6}, \quad (5)$$

где C_L – средняя ёмкость нагрузки на выходе ПЛИС, пФ;

N_{IO} – количество задействованных в данном проекте элементов ввода-вывода;

tog_{IO} – средняя доля от задействованных в проекте элементов ввода-вывода, переключающихся по каждому такту (типичное значение 0,125).

Приведенный выше расчет позволяет получить приблизительную оценку рассеиваемой мощности конкретного проекта.

Подп. и дата

Инв. № дубл.

Взам.

Подп. и дата

Инв. № подл.

ЛИСТ РЕГИСТРАЦИИ ИЗМЕНЕНИЙ

Изм.	Номера листов (страниц)				Всего листов (страниц) в докум.	№ докум.	Подп.	Дата
	изменённых	заменённых	новых	аннулированных				

Подп. и дата

Инв. № дубл.

Взам.

Подп. и дата

Инв. № подл.
