

Содержание

1	Введение.....	3
2	Основные технические характеристики.....	4
3	Условное графическое обозначение и назначение выводов ПЛИС.....	8
4	Конструктивные особенности ПЛИС.....	23
4.1	Логический блок.....	25
4.2	Логический элемент.....	26
4.2.1	Режимы работы логического элемента.....	27
4.2.2	Сброс и установка программируемого триггера логического элемента..	30
4.3	Блок встроенной памяти.....	31
4.4	Система межсоединений.....	33
4.5	Элемент ввода-вывода.....	36
4.5.1	Соединение элементов ввода-вывода с горизонтальными каналами.....	39
4.5.2	Соединение элементов ввода-вывода с вертикальными каналами.....	40
4.5.3	Контроль скорости нарастания выходного напряжения.....	40
4.5.4	Выход с открытым стоком.....	40
4.6	Блок JTAG.....	41
4.7	Система периферийного сканирования.....	42
5	Расчет рассеиваемой мощности ПЛИС.....	43

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

1 Введение

Настоящее техническое описание содержит технические характеристики и описание конструкции энергонезависимой радиационно-стойкой программируемой логической интегральной схемы 5578ТС034 емкостью 100 тыс. логических вентилей (109 056 системных вентилей).

Функциональный зарубежный аналог ПЛИС EPF10K100E (ф. Altera, США).

Ячейки конфигурационной памяти ПЛИС 5578ТС034 содержат радиационно-стойкие однократно программируемые на основе электрического разрушения (пробоя) диэлектрика элементы, которые позволяют сохранить конфигурацию микросхемы при отключении напряжения питания и воздействии специальных факторов.

ПЛИС имеет следующие основные режимы:

- режим отладки проекта, в котором возможно многократно конфигурировать ПЛИС по интерфейсу JTAG;
- режим однократного программирования ПЛИС;
- рабочий режим, в котором ПЛИС функционирует после процесса однократного программирования конфигурационной памяти в соответствии с разработанным пользователем проектом.

В рабочем режиме при выключении питания конфигурация ПЛИС сохраняется и после включения питания микросхема возвращается в рабочий режим без перезагрузки конфигурационной памяти из внешнего ПЗУ. В рабочем режиме ПЛИС удовлетворяет требованиям к техническим характеристикам микросхемы по стойкости к воздействию механических, климатических, биологических факторов, специальных сред и специальных факторов, указанным в технических условиях. Использование ПЛИС в режиме отладки проекта не гарантирует соответствия параметров заявленным в ТУ нормам. При воздействии специальных внешних воздействующих факторов с высокими уровнями возможен кратковременный сбой конфигурации микросхемы, однако после прекращения воздействия конфигурация восстанавливается без перезагрузки ПЛИС.

ПЛИС имеет бит секретности для защиты от несанкционированного доступа к содержанию конфигурационной памяти, который запрещает вывод данных из неё на внешние устройства.

Для создания проектов используется САПР ф. Altera MAX+PLUS II или Quartus II (не позднее версии 8.1).

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

2 Основные технические характеристики

Основные функциональные параметры ПЛИС приведены в таблице 1.

Таблица 1

Параметр	Значение
Типовая логическая ёмкость, вентиляей	100 000
Количество системных вентиляей	109 056
Количество эквивалентных логических элементов	4 992
Количество логических блоков	624
Объем встроенной памяти, бит	49 152
Количество блоков встроенной памяти	12
Общее количество триггеров	5 204
Количество триггеров в логическом блоке	8
Количество триггеров в пользовательском элементе ввода-вывода	1
Количество программируемых элементов ввода-вывода	212
Количество выделенных входов	4
Количество глобальных тактовых входов	2
Количество портов интерфейса JTAG	1

Кристаллы ПЛИС изготовлены по КМОП-технологии с минимальными проектными нормами 0,18 мкм, с одним уровнем поликремния и шестью уровнями металлизации.

Номинальное значение напряжения питания ядра ПЛИС – плюс 1,8 В. Допустимые отклонения напряжения питания ядра ПЛИС от номинального $\pm 5\%$.

Номинальное значение напряжения питания периферии (входных и выходных буферов) ПЛИС – плюс 3,3 В. Допустимые отклонения напряжения питания периферии ПЛИС от номинального $\pm 0,3$ В.

Масса микросхем не более 22 г.

Тепловое сопротивление кристалл-корпус не более 5,7 °С/Вт.

Значение потенциала статического электричества не должно превышать 2 000 В.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Для обеспечения повышенного ресурса работы аппаратуры ПЛИС поддерживает режим «холодного резервирования».

Значения электрических параметров микросхем при приемке и поставке в диапазоне рабочих температур среды приведены в таблице 2.

Таблица 2

Наименование параметра, единица измерения (режим измерения)	Буквенное обозначение параметра	Норма параметра		Температура среды, °С	Номер пункта примечания
		не менее	не более		
1	2	3	4	5	6
Выходное напряжение низкого уровня, В ($U_{CC1} = 1,71$ В, $U_{CC2} = 3,0$ В, $I_{OL} = 4,0$ мА)	U_{OL}	–	0,55	–60 ± 3 25 ± 3 100 ± 3	1
Выходное напряжение высокого уровня, В ($U_{CC1} = 1,71$ В, $U_{CC2} = 3,0$ В, $I_{OH} = -4,0$ мА)	U_{OH}	2,0	–		1
Ток потребления ядра, мА ($U_{CC1} = 1,89$ В, $U_{CC2} = 3,6$ В, $U_{IL} = 0$ В; $U_{CC1} = 1,89$ В, $U_{CC2} = 3,6$ В, $U_{IH} = 3,6$ В)	I_{CC1}	–	100		2
Ток потребления периферии, мА ($U_{CC1} = 1,89$ В, $U_{CC2} = 3,6$ В, $U_{IL} = 0$ В; $U_{CC1} = 1,89$ В, $U_{CC2} = 3,6$ В, $U_{IH} = 3,6$ В)	I_{CC2}	–	40		
Входной ток низкого уровня, мкА ($U_{CC1} = 1,89$ В, $U_{CC2} = 3,6$ В, $U_{IL} = 0$ В)	I_{IL}	–20	–		1
Входной ток высокого уровня, мкА ($U_{CC1} = 1,89$ В, $U_{CC2} = 3,6$ В, $U_{IH} = 3,6$ В)	I_{IH}	–	20		
Ток утечки при отключенном питании, мкА ($U_{CC1} = 0$ В, $U_{CC2} = 0$ В, $U_O = 3,6$ В)	I_{OFF}	–	50		–

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Окончание таблицы 2

1	2	3	4	5	6
Выходной ток низкого уровня в состоянии «Выключено», мкА ($U_{CC1} = 1,89$ В, $U_{CC2} = 3,6$ В, $U_{OZ} = 0$ В)	I_{OZL}	-20	-	-60 ± 3 25 ± 3 100 ± 3	1
Выходной ток высокого уровня в состоянии «Выключено», мкА ($U_{CC1} = 1,89$ В, $U_{CC2} = 3,6$ В, $U_{OZ} = 3,6$ В)	I_{OZH}	-	20		2
Длительность тактового интервала межрегистровой пересылки, нс ($U_{CC1} = 1,71$ В, $U_{CC2} = 3,0$ В)	t_{DRR}	-	25		
Примечания 1 Для пользовательских выводов на сконфигурированной микросхеме. 2 Контролируется после конфигурирования микросхемы.					

Значения предельно допустимых и предельных режимов эксплуатации в диапазоне рабочих температур среды приведены в таблице 3.

Таблица 3 – Предельно допустимые и предельные режимы эксплуатации микросхем

Наименование параметра режима, единица измерения	Буквенное обозначение параметра	Предельно допустимый режим		Предельный режим		Номер пункта примечания
		не менее	не более	не менее	не более	
1	2	3	4	5	6	7
Напряжение питания ядра, В	U_{CC1}	1,71	1,89	-0,50	2,20	1
Напряжение питания периферии, В	U_{CC2}	3,0	3,6	-0,5	4,0	1
Входное напряжение низкого уровня, В	U_{PL}	0	0,8	-0,5	-	2
Входное напряжение высокого уровня, В	U_{PH}	2,0	U_{CC2}	-	4,0	2
Напряжение, прикладываемое к выходу в состоянии «Выключено», В	U_{OZ}	0	U_{CC2}	-0,5	4,0	2

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Окончание таблицы 3

1	2	3	4	5	6	7
Выходной ток низкого уровня, мА	I_{OL}	–	4	–	24	2, 3
Выходной ток высокого уровня, мА	I_{OH}	–4	–	–24	–	2, 3
Ток по выводу питания, мА	I_{VCC}	–	–	–	100	4
Ток по общему выводу, мА	I_{GND}	–	–	–100	–	4
Емкость нагрузки, пФ	C_L	–	50	–	200	–

Примечания

1 Напряжение питания в процессе отладки проекта и при эксплуатации микросхемы после программирования.

2 Для пользовательских выводов.

3 Сумма токов по выходам не должна превышать суммы предельных значений токов по каждому выводу питания или общему выводу.

4 По каждому отдельному выводу микросхемы, подключенному к источнику питания ядра или периферии.

Микросхемы должны быть стойкими к воздействию специальных факторов 7.И, 7.С, 7.К по ГОСТ РВ 20.39.414.2 со значениями характеристик 7.И₁, 7.И₆, 7.И₇, 7.И₈, 7.С₁, 7.С₄, 7.К₁, 7.К₄, 7.К₁₁, 7.К₁₂, приведенными в таблице 5.

Таблица 4

Условное обозначение микросхемы	Значение характеристики специальных факторов								
	7.И ₁ ¹⁾	7.И ₆ ²⁾	7.И ₇	7.И ₈	7.С ₁	7.С ₄	7.К ₁	7.К ₄	7.К ₁₁ , 7.К ₁₂ ²⁾
5578ТС034	4У _С	5У _С	5У _С	0,1·1У _С	5У _С	5·5У _С	$\frac{0,5 \cdot 2K^3)}{10 \cdot 2K^4)}$	0,5·2К ^{3,4)}	60 МэВ·см ² /мг

1) По структурным повреждениям.

2) По катастрофическим отказам (КО) и тиристорному эффекту (ТЭ).

3) При совместном воздействии факторов 7.К с характеристиками 7.К₁, 7.К₄.

4) При независимом воздействии факторов 7.К с характеристиками 7.К₁, 7.К₄.

В процессе и непосредственно после воздействия специальных факторов 7.И с характеристикой 7.И₆ допускается временная потеря работоспособности микросхем. Время потери работоспособности должно быть не более 2 мс. Через указанное время работоспособность микросхем должна восстанавливаться.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата
--------------	--------------	--------------	--------------	--------------

Наработка до отказа микросхем в режимах и условиях эксплуатации, допускаемых ТУ, при температуре окружающей среды не более $(65 + 5) ^\circ\text{C}$ должна быть не менее 100 000 ч, а в облегченном режиме (температура окружающей среды не более $55 ^\circ\text{C}$, напряжение питания ядра $U_{CC1} = 1,8 \text{ В} \pm 5 \%$, напряжение питания периферии $U_{CC2} = 3,3 \text{ В} \pm 5 \%$) – не менее 120 000 ч.

3 Условное графическое обозначение и назначение выводов

ПЛИС

Разработанные ПЛИС выполнены в планарных металлокерамических 304-выводных корпусах 4251.304–2 с обводной керамической рамкой и шагом выводов 0,5 мм с покрытием на основе золота.

Условное графическое обозначение микросхем 5578ТС034 приведено на рисунке 1.

Функциональное назначение выводов микросхемы 5578ТС034 приведено в таблице 6.

В режиме отладки и в режиме однократного программирования ПЛИС вывод nRUN должен быть подключен к положительному выводу источника питания $(3,3 \pm 0,3) \text{ В}$. В рабочем режиме вывод nRUN должен быть подключен к общему выводу источника питания.

Конструкция ПЛИС обеспечивает использование в качестве среды разработки проектов САПР MAX+PLUS II или Quartus II (микросхема EPF10K100E). Однако выводы ПЛИС в корпусе 4251.304–2 не совпадают с выводами микросхемы EPF10K100E. При разработке проекта возможна автоматическая генерация файла размещения выводов ПЛИС в корпусе микросхемы EPF10K100E при помощи специального приложения «create_assignments», входящего в программу «Инструментарий для программирования дополнительных режимов работы и расширенной функциональности элементов ввода/вывода ПЛИС 5578ТС034».

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

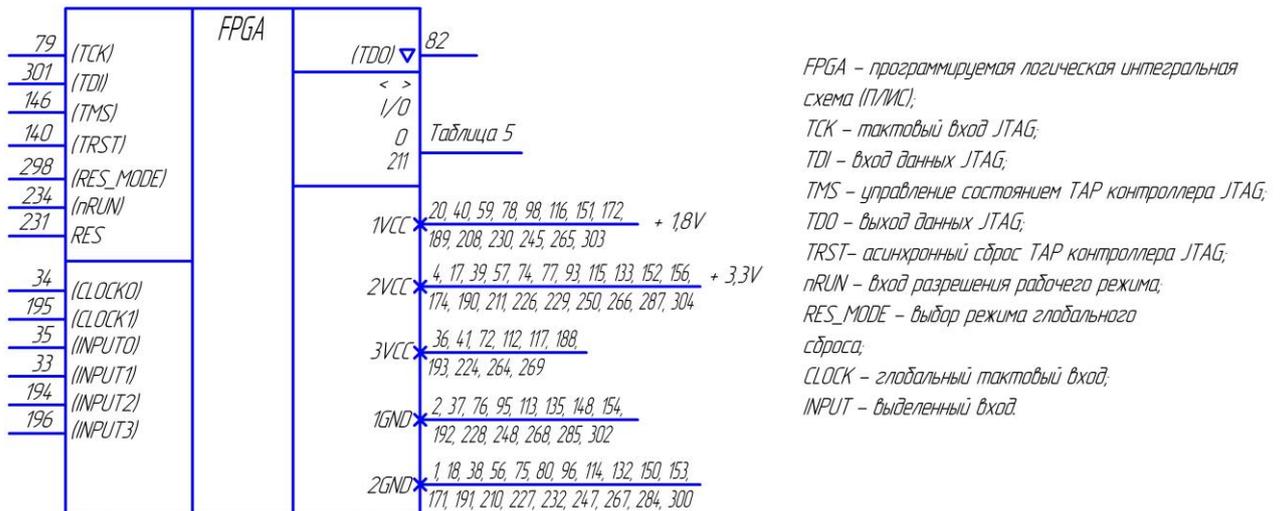


Таблица 5

Номер вывода	3	6	5	8	7	10	9	12	11	14	13	16	15	19	22
Метка вывода	I/00	I/01	I/02	I/03	I/04	I/05	I/06	I/07	I/08	I/09	I/010	I/011	I/012	I/013	I/014
Номер вывода	21	24	23	26	25	27	28	29	30	31	32	42	43	44	45
Метка вывода	I/015	I/016	I/017	I/018	I/019	I/020	I/021	I/022	I/023	I/024	I/025	I/026	I/027	I/028	I/029
Номер вывода	46	47	48	49	51	50	53	52	55	54	58	61	60	63	62
Метка вывода	I/030	I/031	I/032	I/033	I/034	I/035	I/036	I/037	I/038	I/039	I/040	I/041	I/042	I/043	I/044
Номер вывода	65	64	67	66	69	68	71	70	73	81	84	83	86	85	88
Метка вывода	I/045	I/046	I/047	I/048	I/049	I/050	I/051	I/052	I/053	I/054	I/055	I/056	I/057	I/058	I/059
Номер вывода	87	90	89	92	91	94	97	100	99	102	101	103	104	105	106
Метка вывода	I/060	I/061	I/062	I/063	I/064	I/065	I/066	I/067	I/068	I/069	I/070	I/071	I/072	I/073	I/074
Номер вывода	107	108	109	110	111	118	119	120	121	122	123	124	125	127	126
Метка вывода	I/075	I/076	I/077	I/078	I/079	I/080	I/081	I/082	I/083	I/084	I/085	I/086	I/087	I/088	I/089
Номер вывода	129	128	131	130	134	137	136	139	138	141	143	142	145	144	147
Метка вывода	I/090	I/091	I/092	I/093	I/094	I/095	I/096	I/097	I/098	I/099	I/100	I/101	I/102	I/103	I/104
Номер вывода	149	155	158	157	160	159	162	161	164	163	166	165	170	169	173
Метка вывода	I/105	I/106	I/107	I/108	I/109	I/110	I/111	I/112	I/113	I/114	I/115	I/116	I/117	I/118	I/119
Номер вывода	176	175	178	177	179	180	181	182	183	184	185	186	187	197	198
Метка вывода	I/120	I/121	I/122	I/123	I/124	I/125	I/126	I/127	I/128	I/129	I/130	I/131	I/132	I/133	I/134
Номер вывода	199	200	201	203	202	205	204	207	206	209	213	212	215	214	217
Метка вывода	I/135	I/136	I/137	I/138	I/139	I/140	I/141	I/142	I/143	I/144	I/145	I/146	I/147	I/148	I/149
Номер вывода	216	219	218	221	220	223	222	225	233	236	235	238	237	240	239
Метка вывода	I/150	I/151	I/152	I/153	I/154	I/155	I/156	I/157	I/158	I/159	I/160	I/161	I/162	I/163	I/164
Номер вывода	242	241	244	243	246	249	252	251	254	253	255	256	257	258	259
Метка вывода	I/165	I/166	I/167	I/168	I/169	I/170	I/171	I/172	I/173	I/174	I/175	I/176	I/177	I/178	I/179
Номер вывода	260	261	262	263	270	271	272	273	274	275	276	277	279	278	281
Метка вывода	I/180	I/181	I/182	I/183	I/184	I/185	I/186	I/187	I/188	I/189	I/190	I/191	I/192	I/193	I/194
Номер вывода	280	283	282	286	289	288	291	290	293	292	295	294	297	296	299
Метка вывода	I/195	I/196	I/197	I/198	I/199	I/200	I/201	I/202	I/203	I/204	I/205	I/206	I/207	I/208	I/209
Номер вывода	167	168													
Метка вывода	I/0210	I/0211													

Рисунок 1 – Условное графическое обозначение микросхемы интегральной 5578TC034 в корпусе 4251.304-2

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Таблица 6 – Функциональное назначение выводов микросхемы интегральной 5578ТС034

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
1	2GND	Общий выходных буферов	–	–
2	1GND	Общий ядра	–	–
3	I/O0	Программируемый ввод-вывод	Вход/выход	Пользовательский
4	2VCC	Питание выходных буферов	–	–
5	I/O2	Программируемый ввод-вывод	Вход/выход	Пользовательский
6	I/O1	Программируемый ввод-вывод	Вход/выход	Пользовательский
7	I/O4	Программируемый ввод-вывод	Вход/выход	Пользовательский
8	I/O3	Программируемый ввод-вывод	Вход/выход	Пользовательский
9	I/O6	Программируемый ввод-вывод	Вход/выход	Пользовательский
10	I/O5	Программируемый ввод-вывод	Вход/выход	Пользовательский
11	I/O8	Программируемый ввод-вывод	Вход/выход	Пользовательский
12	I/O7	Программируемый ввод-вывод	Вход/выход	Пользовательский
13	I/O10	Программируемый ввод-вывод	Вход/выход	Пользовательский
14	I/O9	Программируемый ввод-вывод	Вход/выход	Пользовательский
15	I/O12	Программируемый ввод-вывод	Вход/выход	Пользовательский
16	I/O11	Программируемый ввод-вывод	Вход/выход	Пользовательский
17	2VCC	Питание выходных буферов	–	–
18	2GND	Общий выходных буферов	–	–
19	I/O13	Программируемый ввод-вывод	Вход/выход	Пользовательский
20	1VCC	Питание ядра	–	–
21	I/O15	Программируемый ввод-вывод	Вход/выход	Пользовательский
22	I/O14	Программируемый ввод-вывод	Вход/выход	Пользовательский
23	I/O17	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инд. № подл.	Подп. и дата	Взам. инв. №	Инд. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
24	I/O16	Программируемый ввод-вывод	Вход/выход	Пользовательский
25	I/O19	Программируемый ввод-вывод	Вход/выход	Пользовательский
26	I/O18	Программируемый ввод-вывод	Вход/выход	Пользовательский
27	I/O20	Программируемый ввод-вывод	Вход/выход	Пользовательский
28	I/O21	Программируемый ввод-вывод	Вход/выход	Пользовательский
29	I/O22	Программируемый ввод-вывод	Вход/выход	Пользовательский
30	I/O23	Программируемый ввод-вывод	Вход/выход	Пользовательский
31	I/O24	Программируемый ввод-вывод	Вход/выход	Пользовательский
32	I/O25	Программируемый ввод-вывод	Вход/выход	Пользовательский
33	INPUT1	Выделенный вход	Вход	Пользовательский
34	CLOCK0	Глобальный тактовый вход	Вход	Пользовательский
35	INPUT0	Выделенный вход	Вход	Пользовательский
36	3VCC ³⁾	Дополнительное питание ядра	—	—
37	1GND	Общий ядра	—	—
38	2GND	Общий выходных буферов	—	—
39	2VCC	Питание выходных буферов	—	—
40	1VCC	Питание ядра	—	—
41	3VCC ³⁾	Дополнительное питание ядра	—	—
42	I/O26 ¹⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
43	I/O27 ²⁾	Программируемый ввод-вывод	Вход/выход	Пользовательский
44	I/O28	Программируемый ввод-вывод	Вход/выход	Пользовательский
45	I/O29	Программируемый ввод-вывод	Вход/выход	Пользовательский
46	I/O30	Программируемый ввод-вывод	Вход/выход	Пользовательский
47	I/O31	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
48	I/O32	Программируемый ввод-вывод	Вход/выход	Пользовательский
49	I/O33	Программируемый ввод-вывод	Вход/выход	Пользовательский
50	I/O35	Программируемый ввод-вывод	Вход/выход	Пользовательский
51	I/O34	Программируемый ввод-вывод	Вход/выход	Пользовательский
52	I/O37	Программируемый ввод-вывод	Вход/выход	Пользовательский
53	I/O36	Программируемый ввод-вывод	Вход/выход	Пользовательский
54	I/O39	Программируемый ввод-вывод	Вход/выход	Пользовательский
55	I/O38	Программируемый ввод-вывод	Вход/выход	Пользовательский
56	2GND	Общий выходных буферов	–	–
57	2VCC	Питание выходных буферов	–	–
58	I/O40	Программируемый ввод-вывод	Вход/выход	Пользовательский
59	1VCC	Питание ядра	–	–
60	I/O42	Программируемый ввод-вывод	Вход/выход	Пользовательский
61	I/O41	Программируемый ввод-вывод	Вход/выход	Пользовательский
62	I/O44	Программируемый ввод-вывод	Вход/выход	Пользовательский
63	I/O43	Программируемый ввод-вывод	Вход/выход	Пользовательский
64	I/O46	Программируемый ввод-вывод	Вход/выход	Пользовательский
65	I/O45	Программируемый ввод-вывод	Вход/выход	Пользовательский
66	I/O48	Программируемый ввод-вывод	Вход/выход	Пользовательский
67	I/O47	Программируемый ввод-вывод	Вход/выход	Пользовательский
68	I/O50	Программируемый ввод-вывод	Вход/выход	Пользовательский
69	I/O49	Программируемый ввод-вывод	Вход/выход	Пользовательский
70	I/O52	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инт. № подл.	Подп. и дата	Взам. инв. №	Инт. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
71	I/O51	Программируемый ввод-вывод	Вход/выход	Пользовательский
72	3VCC ³⁾	Дополнительное питание ядра	—	—
73	I/O53	Программируемый ввод-вывод	Вход/выход	Пользовательский
74	2VCC	Питание выходных буферов	—	—
75	2GND	Общий выходных буферов	—	—
76	1GND	Общий ядра	—	—
77	2VCC	Питание входных буферов	—	—
78	1VCC	Питание ядра	—	—
79	TCK	Тактовый вход JTAG	Вход	Служебный
80	2GND	Общий входных буферов	—	—
81	I/O54	Программируемый ввод-вывод	Вход/выход	Пользовательский
82	TDO	Выход данных JTAG	Выход с тремя состояниями	Служебный
83	I/O56	Программируемый ввод-вывод	Вход/выход	Пользовательский
84	I/O55	Программируемый ввод-вывод	Вход/выход	Пользовательский
85	I/O58	Программируемый ввод-вывод	Вход/выход	Пользовательский
86	I/O57	Программируемый ввод-вывод	Вход/выход	Пользовательский
87	I/O60	Программируемый ввод-вывод	Вход/выход	Пользовательский
88	I/O59	Программируемый ввод-вывод	Вход/выход	Пользовательский
89	I/O62	Программируемый ввод-вывод	Вход/выход	Пользовательский
90	I/O61	Программируемый ввод-вывод	Вход/выход	Пользовательский
91	I/O64	Программируемый ввод-вывод	Вход/выход	Пользовательский
92	I/O63	Программируемый ввод-вывод	Вход/выход	Пользовательский
93	2VCC	Питание выходных буферов	—	—

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
94	I/O65	Программируемый ввод-вывод	Вход/выход	Пользовательский
95	1GND	Общий ядра	—	—
96	2GND	Общий выходных буферов	—	—
97	I/O66	Программируемый ввод-вывод	Вход/выход	Пользовательский
98	1VCC	Питание ядра	—	—
99	I/O68	Программируемый ввод-вывод	Вход/выход	Пользовательский
100	I/O67	Программируемый ввод-вывод	Вход/выход	Пользовательский
101	I/O70	Программируемый ввод-вывод	Вход/выход	Пользовательский
102	I/O69	Программируемый ввод-вывод	Вход/выход	Пользовательский
103	I/O71	Программируемый ввод-вывод	Вход/выход	Пользовательский
104	I/O72	Программируемый ввод-вывод	Вход/выход	Пользовательский
105	I/O73	Программируемый ввод-вывод	Вход/выход	Пользовательский
106	I/O74	Программируемый ввод-вывод	Вход/выход	Пользовательский
107	I/O75	Программируемый ввод-вывод	Вход/выход	Пользовательский
108	I/O76	Программируемый ввод-вывод	Вход/выход	Пользовательский
109	I/O77	Программируемый ввод-вывод	Вход/выход	Пользовательский
110	I/O78	Программируемый ввод-вывод	Вход/выход	Пользовательский
111	I/O79	Программируемый ввод-вывод	Вход/выход	Пользовательский
112	3VCC ³⁾	Дополнительное питание ядра	—	—
113	1GND	Общий ядра	—	—
114	2GND	Общий выходных буферов	—	—
115	2VCC	Питание выходных буферов	—	—
116	1VCC	Питание ядра	—	—
117	3VCC ³⁾	Дополнительное питание ядра	—	—

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
118	I/O80	Программируемый ввод-вывод	Вход/выход	Пользовательский
119	I/O81	Программируемый ввод-вывод	Вход/выход	Пользовательский
120	I/O82	Программируемый ввод-вывод	Вход/выход	Пользовательский
121	I/O83	Программируемый ввод-вывод	Вход/выход	Пользовательский
122	I/O84	Программируемый ввод-вывод	Вход/выход	Пользовательский
123	I/O85	Программируемый ввод-вывод	Вход/выход	Пользовательский
124	I/O86	Программируемый ввод-вывод	Вход/выход	Пользовательский
125	I/O87	Программируемый ввод-вывод	Вход/выход	Пользовательский
126	I/O89	Программируемый ввод-вывод	Вход/выход	Пользовательский
127	I/O88	Программируемый ввод-вывод	Вход/выход	Пользовательский
128	I/O91	Программируемый ввод-вывод	Вход/выход	Пользовательский
129	I/O90	Программируемый ввод-вывод	Вход/выход	Пользовательский
130	I/O93	Программируемый ввод-вывод	Вход/выход	Пользовательский
131	I/O92	Программируемый ввод-вывод	Вход/выход	Пользовательский
132	2GND	Общий выходных буферов	—	—
133	2VCC	Питание выходных буферов	—	—
134	I/O94	Программируемый ввод-вывод	Вход/выход	Пользовательский
135	1GND	Общий ядра	—	—
136	I/O96	Программируемый ввод-вывод	Вход/выход	Пользовательский
137	I/O95	Программируемый ввод-вывод	Вход/выход	Пользовательский
138	I/O98	Программируемый ввод-вывод	Вход/выход	Пользовательский
139	I/O97	Программируемый ввод-вывод	Вход/выход	Пользовательский
140	TRST	Асинхронный сброс TAP контроллера JTAG	Вход	Служебный

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
141	I/O99	Программируемый ввод-вывод	Вход/выход	Пользовательский
142	I/O101	Программируемый ввод-вывод	Вход/выход	Пользовательский
143	I/O100	Программируемый ввод-вывод	Вход/выход	Пользовательский
144	I/O103	Программируемый ввод-вывод	Вход/выход	Пользовательский
145	I/O102	Программируемый ввод-вывод	Вход/выход	Пользовательский
146	TMS	Управление состоянием TAP контроллера JTAG	Вход	Служебный
147	I/O104	Программируемый ввод-вывод	Вход/выход	Пользовательский
148	1GND	Общий ядра	–	–
149	I/O105	Программируемый ввод-вывод	Вход/выход	Пользовательский
150	2GND	Общий входных буферов	–	–
151	1VCC	Питание ядра	–	–
152	2VCC	Питание входных буферов	–	–
153	2GND	Общий выходных буферов	–	–
154	1GND	Общий ядра	–	–
155	I/O106	Программируемый ввод-вывод	Вход/выход	Пользовательский
156	2VCC	Питание выходных буферов	–	–
157	I/O108	Программируемый ввод-вывод	Вход/выход	Пользовательский
158	I/O107	Программируемый ввод-вывод	Вход/выход	Пользовательский
159	I/O110	Программируемый ввод-вывод	Вход/выход	Пользовательский
160	I/O109	Программируемый ввод-вывод	Вход/выход	Пользовательский
161	I/O112	Программируемый ввод-вывод	Вход/выход	Пользовательский
162	I/O111	Программируемый ввод-вывод	Вход/выход	Пользовательский
163	I/O114	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
164	I/O113	Программируемый ввод-вывод	Вход/выход	Пользовательский
165	I/O116	Программируемый ввод-вывод	Вход/выход	Пользовательский
166	I/O115	Программируемый ввод-вывод	Вход/выход	Пользовательский
167	I/O210	Программируемый ввод-вывод	Вход/выход	Пользовательский
168	I/O211	Программируемый ввод-вывод	Вход/выход	Пользовательский
169	I/O118	Программируемый ввод-вывод	Вход/выход	Пользовательский
170	I/O117	Программируемый ввод-вывод	Вход/выход	Пользовательский
171	2GND	Общий выходных буферов	–	–
172	1VCC	Питание ядра	–	–
173	I/O119	Программируемый ввод-вывод	Вход/выход	Пользовательский
174	2VCC	Питание выходных буферов	–	–
175	I/O121	Программируемый ввод-вывод	Вход/выход	Пользовательский
176	I/O120	Программируемый ввод-вывод	Вход/выход	Пользовательский
177	I/O123	Программируемый ввод-вывод	Вход/выход	Пользовательский
178	I/O122	Программируемый ввод-вывод	Вход/выход	Пользовательский
179	I/O124	Программируемый ввод-вывод	Вход/выход	Пользовательский
180	I/O125	Программируемый ввод-вывод	Вход/выход	Пользовательский
181	I/O126	Программируемый ввод-вывод	Вход/выход	Пользовательский
182	I/O127	Программируемый ввод-вывод	Вход/выход	Пользовательский
183	I/O128	Программируемый ввод-вывод	Вход/выход	Пользовательский
184	I/O129	Программируемый ввод-вывод	Вход/выход	Пользовательский
185	I/O130	Программируемый ввод-вывод	Вход/выход	Пользовательский
186	I/O131	Программируемый ввод-вывод	Вход/выход	Пользовательский

Интв. № подл.	Подп. и дата	Взам. инв. №	Интв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
187	I/O132	Программируемый ввод-вывод	Вход/выход	Пользовательский
188	3VCC ³⁾	Дополнительное питание ядра	—	—
189	1VCC	Питание ядра	—	—
190	2VCC	Питание выходных буферов	—	—
191	2GND	Общий выходных буферов	—	—
192	1GND	Общий ядра	—	—
193	3VCC ³⁾	Дополнительное питание ядра	—	—
194	INPUT2	Выделенный вход	Вход	Пользовательский
195	CLOCK1	Глобальный тактовый вход	Вход	Пользовательский
196	INPUT3	Выделенный вход	Вход	Пользовательский
197	I/O133	Программируемый ввод-вывод	Вход/выход	Пользовательский
198	I/O134	Программируемый ввод-вывод	Вход/выход	Пользовательский
199	I/O135	Программируемый ввод-вывод	Вход/выход	Пользовательский
200	I/O136	Программируемый ввод-вывод	Вход/выход	Пользовательский
201	I/O137	Программируемый ввод-вывод	Вход/выход	Пользовательский
202	I/O139	Программируемый ввод-вывод	Вход/выход	Пользовательский
203	I/O138	Программируемый ввод-вывод	Вход/выход	Пользовательский
204	I/O141	Программируемый ввод-вывод	Вход/выход	Пользовательский
205	I/O140	Программируемый ввод-вывод	Вход/выход	Пользовательский
206	I/O143	Программируемый ввод-вывод	Вход/выход	Пользовательский
207	I/O142	Программируемый ввод-вывод	Вход/выход	Пользовательский
208	1VCC	Питание ядра	—	—
209	I/O144	Программируемый ввод-вывод	Вход/выход	Пользовательский
210	2GND	Общий выходных буферов	—	—
211	2VCC	Питание выходных буферов	—	—

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
212	I/O146	Программируемый ввод-вывод	Вход/выход	Пользовательский
213	I/O145	Программируемый ввод-вывод	Вход/выход	Пользовательский
214	I/O148	Программируемый ввод-вывод	Вход/выход	Пользовательский
215	I/O147	Программируемый ввод-вывод	Вход/выход	Пользовательский
216	I/O150	Программируемый ввод-вывод	Вход/выход	Пользовательский
217	I/O149	Программируемый ввод-вывод	Вход/выход	Пользовательский
218	I/O152	Программируемый ввод-вывод	Вход/выход	Пользовательский
219	I/O151	Программируемый ввод-вывод	Вход/выход	Пользовательский
220	I/O154	Программируемый ввод-вывод	Вход/выход	Пользовательский
221	I/O153	Программируемый ввод-вывод	Вход/выход	Пользовательский
222	I/O156	Программируемый ввод-вывод	Вход/выход	Пользовательский
223	I/O155	Программируемый ввод-вывод	Вход/выход	Пользовательский
224	3VCC ³⁾	Дополнительное питание ядра	—	—
225	I/O157	Программируемый ввод-вывод	Вход/выход	Пользовательский
226	2VCC	Питание выходных буферов	—	—
227	2GND	Общий выходных буферов	—	—
228	1GND	Общий ядра	—	—
229	2VCC	Питание входных буферов	—	—
230	1VCC	Питание ядра	—	—
231	RES	Сигнал глобального сброса	Вход	Служебный
232	2GND	Общий входных буферов	—	—
233	I/O158	Программируемый ввод-вывод	Вход/выход	Пользовательский
234	nRUN	Вход разрешения рабочего режима	Вход	Служебный

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
235	I/O160	Программируемый ввод-вывод	Вход/выход	Пользовательский
236	I/O159	Программируемый ввод-вывод	Вход/выход	Пользовательский
237	I/O162	Программируемый ввод-вывод	Вход/выход	Пользовательский
238	I/O161	Программируемый ввод-вывод	Вход/выход	Пользовательский
239	I/O164	Программируемый ввод-вывод	Вход/выход	Пользовательский
240	I/O163	Программируемый ввод-вывод	Вход/выход	Пользовательский
241	I/O166	Программируемый ввод-вывод	Вход/выход	Пользовательский
242	I/O165	Программируемый ввод-вывод	Вход/выход	Пользовательский
243	I/O168	Программируемый ввод-вывод	Вход/выход	Пользовательский
244	I/O167	Программируемый ввод-вывод	Вход/выход	Пользовательский
245	1VCC	Питание ядра	—	—
246	I/O169	Программируемый ввод-вывод	Вход/выход	Пользовательский
247	2GND	Общий выходных буферов	—	—
248	1GND	Общий ядра	—	—
249	I/O170	Программируемый ввод-вывод	Вход/выход	Пользовательский
250	2VCC	Питание выходных буферов	—	—
251	I/O172	Программируемый ввод-вывод	Вход/выход	Пользовательский
252	I/O171	Программируемый ввод-вывод	Вход/выход	Пользовательский
253	I/O174	Программируемый ввод-вывод	Вход/выход	Пользовательский
254	I/O173	Программируемый ввод-вывод	Вход/выход	Пользовательский
255	I/O175	Программируемый ввод-вывод	Вход/выход	Пользовательский
256	I/O176	Программируемый ввод-вывод	Вход/выход	Пользовательский
257	I/O177	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
258	I/O178	Программируемый ввод-вывод	Вход/выход	Пользовательский
259	I/O179	Программируемый ввод-вывод	Вход/выход	Пользовательский
260	I/O180	Программируемый ввод-вывод	Вход/выход	Пользовательский
261	I/O181	Программируемый ввод-вывод	Вход/выход	Пользовательский
262	I/O182	Программируемый ввод-вывод	Вход/выход	Пользовательский
263	I/O183	Программируемый ввод-вывод	Вход/выход	Пользовательский
264	3VCC ³⁾	Дополнительное питание ядра	—	—
265	1VCC	Питание ядра	—	—
266	2VCC	Питание выходных буферов	—	—
267	2GND	Общий выходных буферов	—	—
268	1GND	Общий ядра	—	—
269	3VCC ³⁾	Дополнительное питание ядра	—	—
270	I/O184	Программируемый ввод-вывод	Вход/выход	Пользовательский
271	I/O185	Программируемый ввод-вывод	Вход/выход	Пользовательский
272	I/O186	Программируемый ввод-вывод	Вход/выход	Пользовательский
273	I/O187	Программируемый ввод-вывод	Вход/выход	Пользовательский
274	I/O188	Программируемый ввод-вывод	Вход/выход	Пользовательский
275	I/O189	Программируемый ввод-вывод	Вход/выход	Пользовательский
276	I/O190	Программируемый ввод-вывод	Вход/выход	Пользовательский
277	I/O191	Программируемый ввод-вывод	Вход/выход	Пользовательский
278	I/O193	Программируемый ввод-вывод	Вход/выход	Пользовательский
279	I/O192	Программируемый ввод-вывод	Вход/выход	Пользовательский
280	I/O195	Программируемый ввод-вывод	Вход/выход	Пользовательский

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Продолжение таблицы 6

Номер вывода	Обозначение вывода	Функциональное назначение вывода	Тип вывода	Статус вывода
281	I/O194	Программируемый ввод-вывод	Вход/выход	Пользовательский
282	I/O197	Программируемый ввод-вывод	Вход/выход	Пользовательский
283	I/O196	Программируемый ввод-вывод	Вход/выход	Пользовательский
284	2GND	Общий выходных буферов	–	–
285	1GND	Общий ядра	–	–
286	I/O198	Программируемый ввод-вывод	Вход/выход	Пользовательский
287	2VCC	Питание выходных буферов	–	–
288	I/O200	Программируемый ввод-вывод	Вход/выход	Пользовательский
289	I/O199	Программируемый ввод-вывод	Вход/выход	Пользовательский
290	I/O202	Программируемый ввод-вывод	Вход/выход	Пользовательский
291	I/O201	Программируемый ввод-вывод	Вход/выход	Пользовательский
292	I/O204	Программируемый ввод-вывод	Вход/выход	Пользовательский
293	I/O203	Программируемый ввод-вывод	Вход/выход	Пользовательский
294	I/O206	Программируемый ввод-вывод	Вход/выход	Пользовательский
295	I/O205	Программируемый ввод-вывод	Вход/выход	Пользовательский
296	I/O208	Программируемый ввод-вывод	Вход/выход	Пользовательский
297	I/O207	Программируемый ввод-вывод	Вход/выход	Пользовательский
298	RES_MODE	Выбор режима глобального сброса	Вход	Служебный
299	I/O209	Программируемый ввод-вывод	Вход/выход	Пользовательский
300	2GND	Общий входных буферов	–	–
301	TDI	Вход данных JTAG	Вход	Служебный
302	1GND	Общий ядра	–	–
303	1VCC	Питание ядра	–	–
304	2VCC	Питание входных буферов	–	–

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Окончание таблицы 6

- 1) После выхода микросхемы в рабочий режим вывод I/O26 может быть использован как глобальный сигнал сброса всех триггеров (DEV_CLRn), если это указано пользователем.
- 2) После выхода микросхемы в рабочий режим вывод I/O27 может быть использован как глобальный сигнал разрешения третьего состояния всех элементов ввода-вывода (DEV_OE), если это указано пользователем.
- 3) В процессе отладки проекта и в рабочем режиме на выходы 3VCC подается напряжение $1,8 \text{ В} \pm 5 \%$, при программировании – $7,0 \text{ В} \pm 5 \%$.

4 Конструктивные особенности ПЛИС

Результатом проектирования в САПР MAX+PLUS II или Quartus II является файл, который необходимо преобразовать с помощью специального программного обеспечения «Инструментарий для программирования дополнительных режимов работы и расширенной функциональности элементов ввода/вывода ПЛИС 5578ТС034». Преобразованный файл создается в формате .rbf или .jam.

ПЛИС имеет расширенную функциональность элементов ввода-вывода, выделенных и глобальных тактовых входов (режимы Pull-Up, Pull-Down, Bus-Hold). Эти режимы также реализуются при помощи программного обеспечения «Инструментарий для программирования дополнительных режимов работы и расширенной функциональности элементов ввода/вывода ПЛИС 5578ТС034».

ПЛИС содержит следующие основные конструктивные элементы: логические блоки, блоки встроенной памяти, конфигурационную память, элементы ввода-вывода, буферы ввода-вывода, блок управления программированием, блок управления тестированием, систему глобальных и локальных межсоединений.

На рисунке 2 представлена электрическая структурная схема ПЛИС 5578ТС034.

Система глобальных и локальных межсоединений осуществляет связь между логическими блоками, блоками встроенной памяти и элементами ввода-вывода.

Ячейки конфигурационной памяти управляют коммутацией и режимами работы логических блоков, блоков встроенной памяти и элементов ввода-вывода. Конфигурационная память содержит 1 315 440 ячеек.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

ПЛИС содержит встроенный блок JTAG, соответствующий стандарту IEEE Std 1149.1, который позволяет провести многократное конфигурирование ПЛИС в режиме отладки проекта, однократное программирование конфигурационной памяти микросхемы, периферийное сканирование и тестирование ПЛИС в составе системы.

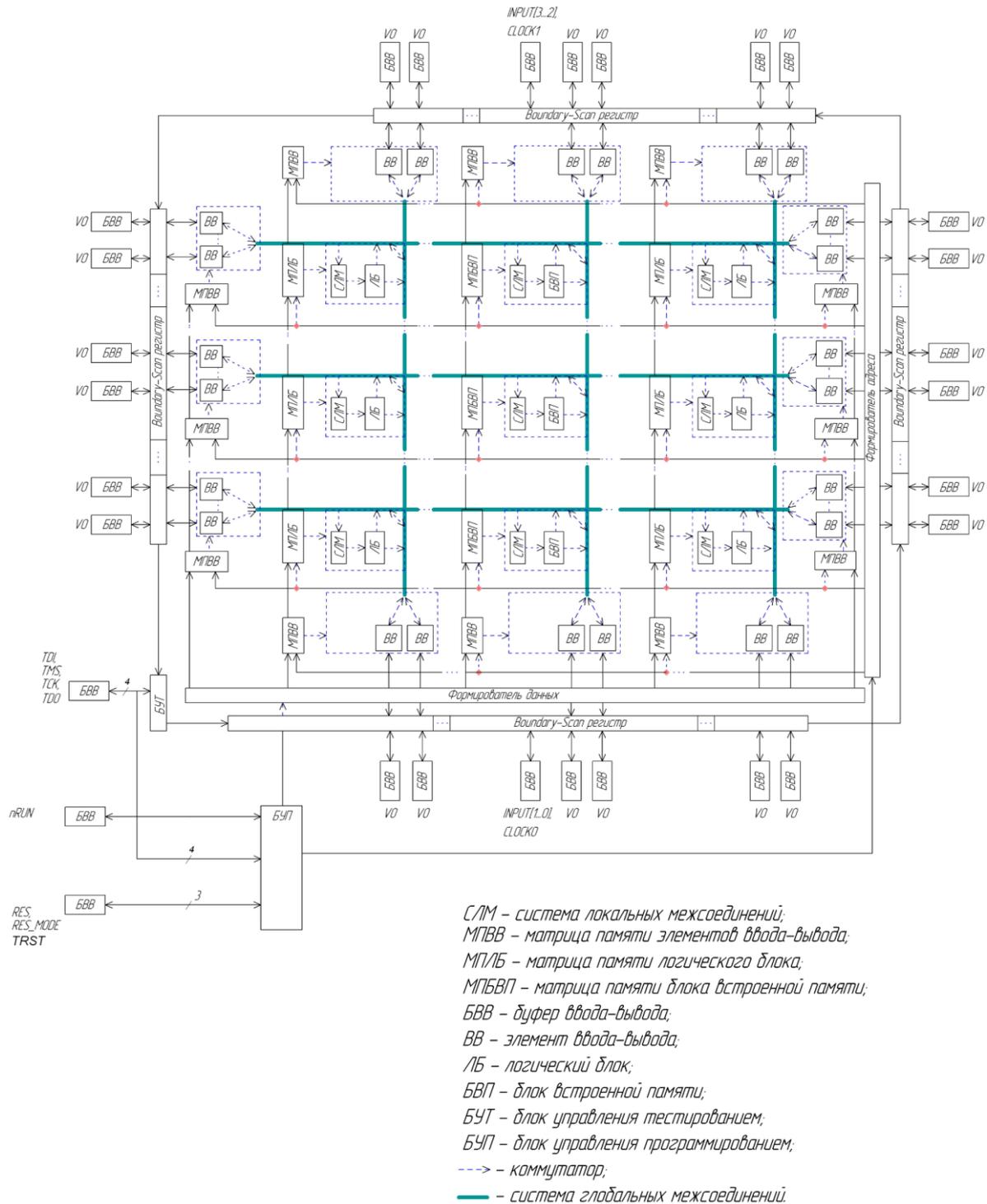


Рисунок 2 – Схема электрическая структурная микросхемы интегральной 5578ТС034

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

Блок управления программированием осуществляет загрузку конфигурационных данных в конфигурационную память ПЛИС в режиме отладки проекта и в режиме однократного программирования.

Блок управления тестированием позволяет провести периферийное сканирование, проверить работу ПЛИС без использования специального оборудования для тестирования путем подачи и вычитывания тестовых сигналов через Boundary-Scan регистр.

4.1 Логический блок

ПЛИС 5578ТС034 включает 624 логических блока, которые образуют матрицу из 12 рядов и 52 колонок.

Логические блоки используются для реализации логики, счетчиков, сумматоров, конечных автоматов состояний, мультиплексоров.

В САПР MAX+PLUS II или Quartus II каждый логический блок обозначен соответственно своему месторасположению: буква латинского алфавита обозначает ряд, а цифра – колонку. Ряды микросхемы промаркированы буквами А, В, С, D, E, F, G, H, I, J, K, L, а колонки цифрами 1–52. Так, например, логический блок В3 находится в ряду В, в колонке 3.

Структурная схема логического блока приведена на рисунке 3.

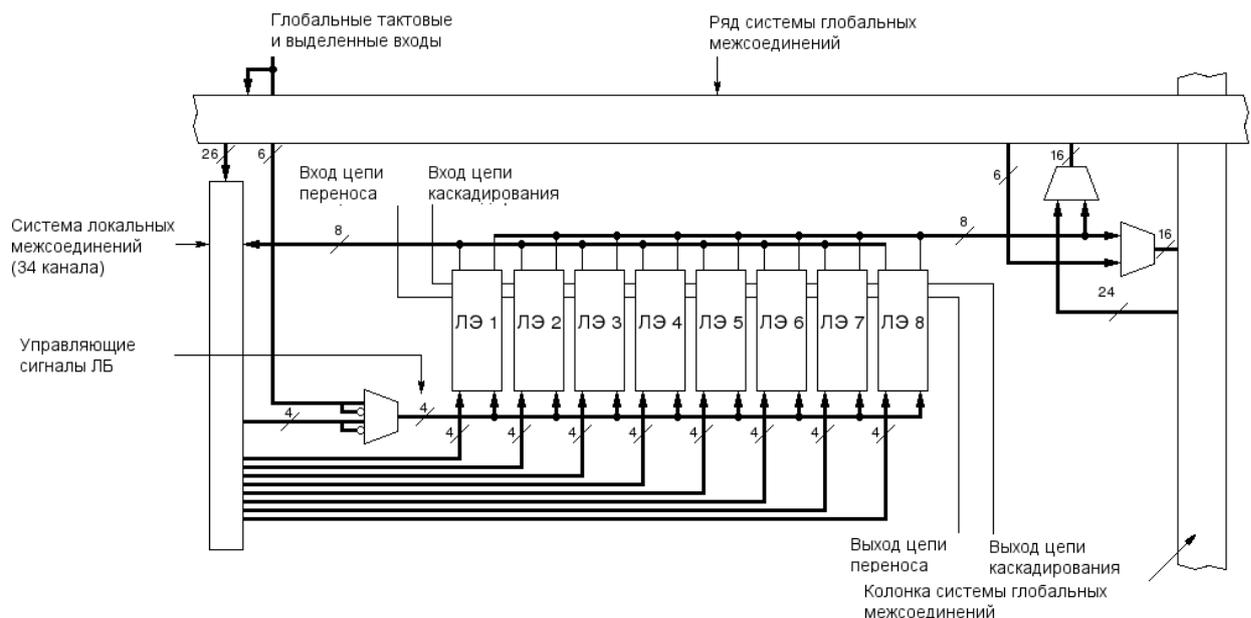


Рисунок 3 – Структурная схема логического блока

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Логический блок подключен к системе межсоединений 26-входными и 8-выходными каналами. Управление триггерами логических элементов логического блока осуществляется с помощью четырех сигналов с программируемой инверсией, каждый из которых может быть использован во всех восьми логических элементах. Два из этих сигналов используются как тактовые, два – как сигналы сброса и установки. Источником управляющих сигналов могут быть глобальные тактовые входы, выделенные входы или внутренние сигналы системы локальных межсоединений логического блока. В большинстве случаев в качестве источников управляющих сигналов используются глобальные тактовые и выделенные входы.

Цепи каскадирования и переноса, объединяющие более восьми логических элементов, реализуются путем соединения четных или нечетных логических блоков в ряду.

4.2 Логический элемент

Каждый логический блок состоит из восьми логических элементов, предназначенных для реализации различных логических функций. Всего ПЛИС содержит 4 992 логических элементов.

Логический элемент состоит из 4-входовой таблицы преобразования (look-up table – LUT), которая представляет собой генератор функций, способный реализовать функцию четырех переменных. Генератор функций четырех переменных может быть преобразован в два генератора функций трех переменных и мультиплексор. Кроме того, каждый логический элемент содержит программируемый триггер, цепи переноса и каскадирования.

Программируемый триггер может быть сконфигурирован как триггер D, T, JK или SR-типа. Источником сигналов управления триггером (тактовый сигнал, сброс, установка) могут быть глобальные тактовые входы, выделенные входы или внутренние сигналы системы локальных межсоединений логического блока. При реализации комбинаторных функций триггер не используется и сигнал с выхода генератора функций будет поступать на выход логического элемента.

Функция переноса позволяет реализовывать быстродействующие счетчики и сумматоры произвольной ширины.

С помощью цепи каскадирования реализуются функции, имеющие большой коэффициент объединения по входу. Соседние логические элементы могут быть использованы для параллельного вычисления частей функции, а цепь каскадирования последовательно соединяет промежуточные результаты.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Цепь каскадирования может использовать логические функции «ИЛИ» и «И» для соединения входов соседних логических элементов. Каждый дополнительный логический элемент добавляет четыре входа к эффективной ширине функции.

Структурная схема ЛЭ показана на рисунке 4.

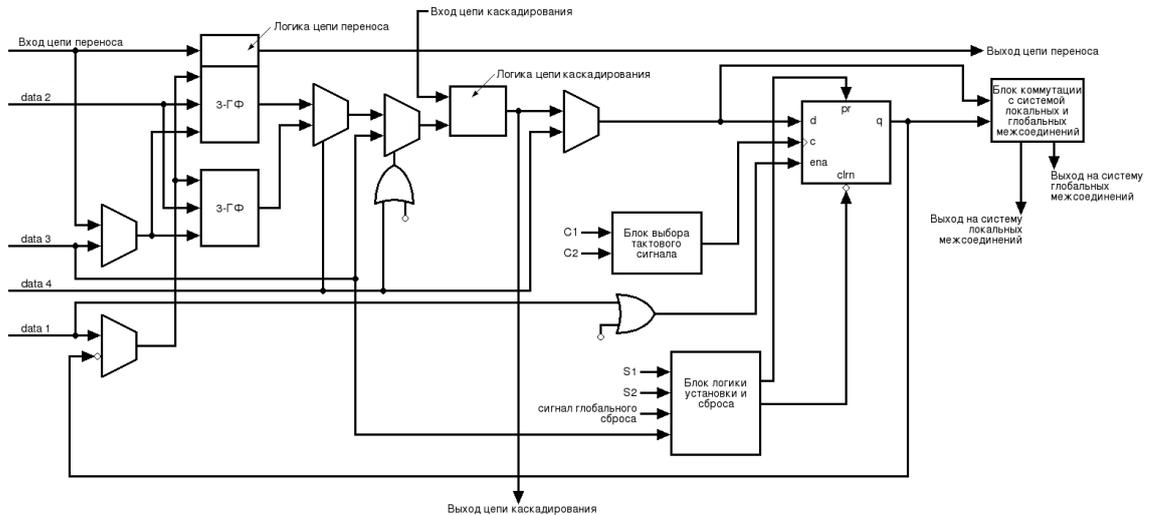


Рисунок 4 – Структурная схема логического элемента ПЛИС

4.2.1 Режимы работы логического элемента

Логический элемент имеет четыре рабочих режима:

- нормальный режим;
- арифметический (счетный) режим;
- режим суммирующего/вычитающего счетчика;
- режим сбрасываемого счетчика.

Во всех четырех режимах вход data1 может быть использован для синхронного разрешения тактового сигнала триггера.

Нормальный режим предназначен для большинства логических приложений и функций декодирования, использующих преимущества цепи каскадирования. В данном режиме входами генератора функций могут быть следующие сигналы:

- data1, data2, data3, data4;
- data1, data2, data4 и сигнал с входа цепи переноса.

Сигнал с выхода генератора функций может быть скомбинирован с входным сигналом цепи каскадирования.

Генератор функций и триггер логического элемента могут использоваться независимо друг от друга. В этом случае на генераторе функций реализуется функция трех переменных, а сигнал data4 может быть использован в качестве данных триггера логического элемента (рисунок 5).

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Выходными сигналами логического элемента являются комбинированный сигнал и выходные данные программируемого триггера, которые могут быть скоммутированы на локальные и глобальные межсоединения в зависимости от режима работы блока коммутации. Например, сигнал с триггера может быть скоммутирован на глобальное межсоединение, в то время, как выходной сигнал с генератора функций – на локальное.

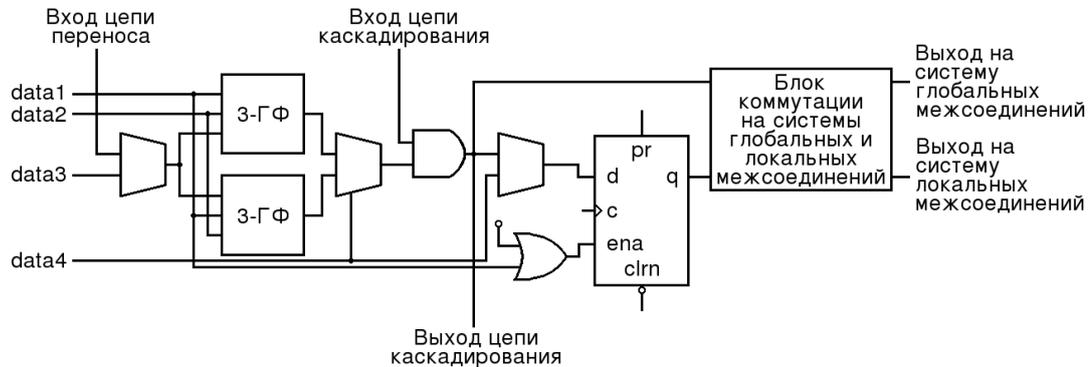


Рисунок 5 – Нормальный режим работы логического элемента

Арифметический режим (рисунок 6) предназначен для реализации сумматоров, аккумуляторов и компараторов. В данном режиме сигналы data1, data2 и сигнал с входа цепи переноса являются входными сигналами для двух 3-входовых генераторов функций. Первый из них реализует функцию трех переменных. Второй генератор функций формирует сигнал цепи переноса. Арифметический режим также поддерживает одновременное использование цепи каскадирования.

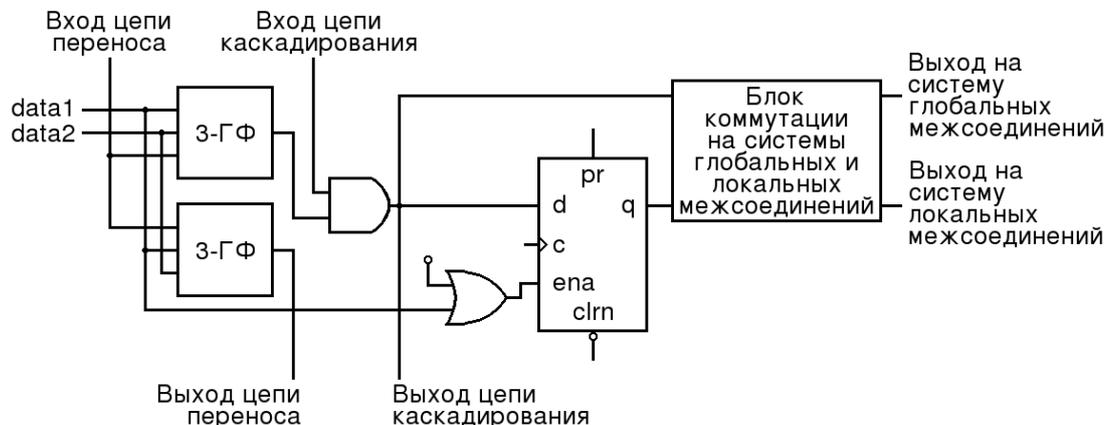


Рисунок 6 – Арифметический режим работы логического элемента

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

4.2.2 Сброс и установка программируемого триггера логического элемента

Управление сбросом и установкой программируемого триггера логического элемента осуществляется с помощью сигналов data3, S1, S2. Сигналы S1 и S2 могут осуществлять асинхронный сброс и/или установку. Кроме того, триггер может работать в режиме асинхронной загрузки. В этом случае данные для загрузки поступают с входа data3, а сигнал S1 разрешает асинхронную загрузку.

В процессе компиляции проекта программным обеспечением автоматически выбирается оптимальный уровень сигнала для выполнения требуемой функции. Так как для функции сброса активным является низкий уровень, а для установки – высокий, то компилятор автоматически устанавливает на неиспользуемые входы сброса или установки требуемый неактивный уровень.

Вывод глобального сброса предназначен для подачи сигнала сбрасывания всех триггеров и имеет приоритет над другими сигналами. Данная опция может быть включена на этапе ввода данных в проект.

Сброс и установку триггеров можно проводить в следующих шести режимах:

- асинхронный сброс;
- асинхронная установка;
- асинхронный сброс и установка;
- асинхронная загрузка со сбросом;
- асинхронная загрузка с установкой;
- асинхронная загрузка без сброса или без установки.

На рисунке 9 показаны режимы сброса и установки триггеров.

Асинхронный сброс триггера может быть выполнен одним из двух сигналов S1 или S2. В этом режиме сигнал установки не активен и подключен к GND.

Асинхронная установка триггера может быть выполнена одним из двух сигналов S1 или S2. В этом режиме сигнал сброса не активен и подключен к VCC. Кроме того, с помощью программного обеспечения можно проводить установку за счёт использования сброса и инвертирования выхода триггера.

При выполнении асинхронного сброса и установки, сигнал S1 управляет установкой (асинхронно загружает единицу в триггер), а сигнал S2 – сбросом.

При выполнении асинхронной загрузки со сбросом, сигнал S1 разрешает асинхронную загрузку с входа data3. Активный сигнал на S2 предназначен для сброса триггера.

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

При выполнении асинхронной загрузки с установкой, сигнал S1 разрешает асинхронную загрузку с входа data3. Активный сигнал на S2 может производить установку триггера, но не может управлять его загрузкой.

При выполнении асинхронной загрузки без установки или сброса триггера, сигнал S1 разрешает асинхронную загрузку с входа data3 и контролирует сброс и установку триггера.

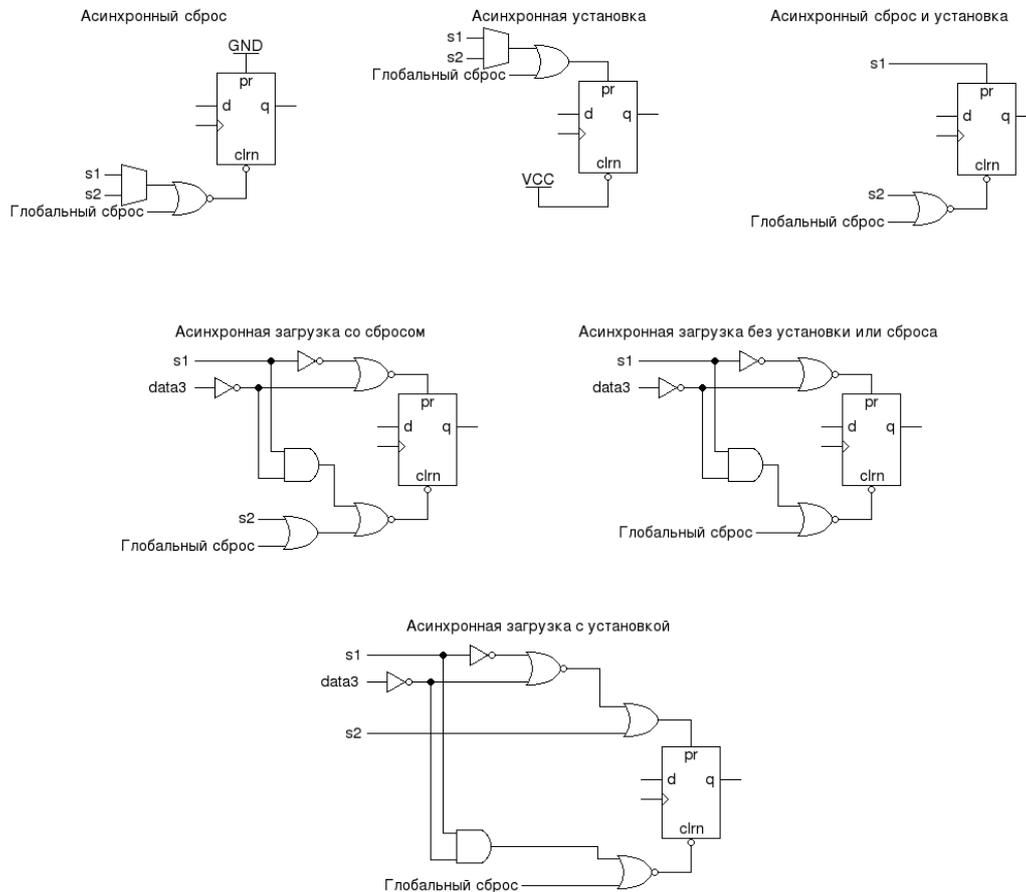


Рисунок 9 – Управление логикой сброса и установки

4.3 Блок встроенной памяти

Программируемая логическая микросхема содержит 12 блоков встроенной памяти, каждый из которых имеет объем памяти 4 096 бит и содержит регистры на входе и выходе.

Блоки встроенной памяти могут быть использованы для создания синхронного или асинхронного ОЗУ, двухпортового ОЗУ, FIFO. Возможны следующие конфигурации встроенной памяти: 256×16, 512×8, 1 024×4, 2 048×2.

Для управления входными и выходными регистрами блоков встроенной памяти и генерации сигнала разрешения записи можно использовать независимые тактовые сигналы выделенных входов, глобальных тактовых входов или

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

внутренних сигналов системы локальных межсоединений блоков встроенной памяти. Входные данные и входы адреса блоков встроенной памяти подключены через систему локальных межсоединений к ряду системы межсоединений. Выходные данные можно коммутировать на ряд и на колонку системы межсоединений.

Блоки встроенной памяти поддерживают одно- и двухпортовый режим работы. В двухпортовом режиме, благодаря возможности использования независимых тактовых сигналов для записи и чтения, запись и чтение могут производиться с разной скоростью. Кроме того, разделенные сигналы разрешения записи и чтения позволяют осуществлять независимый контроль записи и чтения.

Структурная схема блока встроенной памяти в двухпортовом режиме показана на рисунке 10, в однопортовом режиме – на рисунке 11.

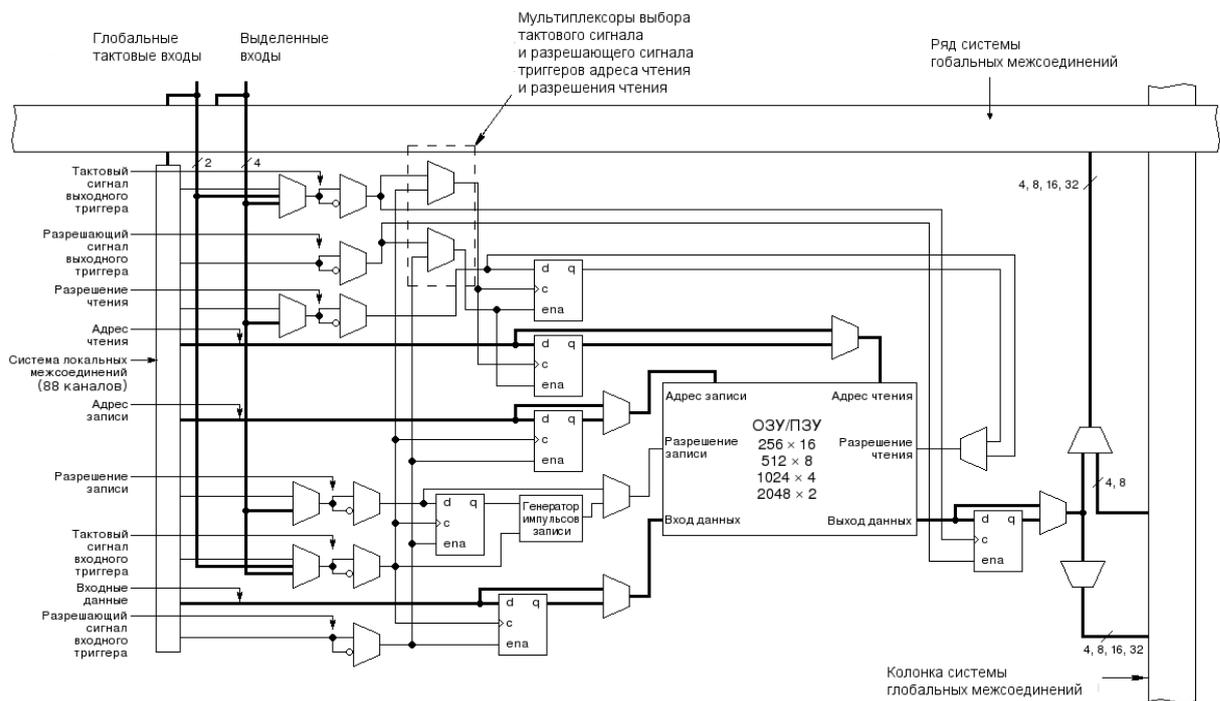


Рисунок 10 – Структурная схема блока встроенной памяти в двухпортовом режиме

Инв. № подл.	Подп. и дата
Взам. инв. №	Инв. № дубл.
Подп. и дата	Подп. и дата

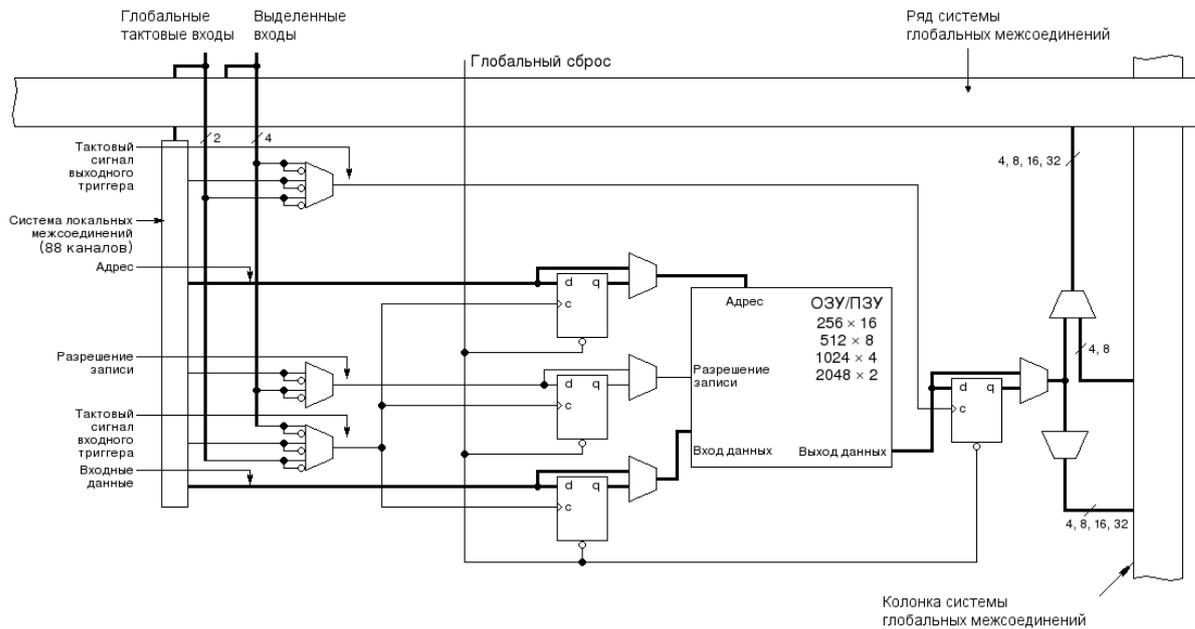


Рисунок 11 – Структурная схема блока встроенной памяти в однопортовом режиме

4.4 Система межсоединений

Коммутация логических блоков, блоков встроенной памяти и элементов ввода-вывода осуществляется с помощью системы глобальных межсоединений (рядов и колонок), которые связывают устройство в единое целое. Структурные элементы системы глобальных межсоединений приведены в таблице 7.

Таблица 7

Тип ПЛИС	Количество рядов	Количество каналов в ряду	Количество колонок	Количество каналов в колонке
5578ТС034	12	312	52	24

При такой структуре трассировки логические элементы могут соединяться друг с другом при помощи только одного канала из ряда системы глобальных межсоединений, что обеспечивает фиксированную задержку даже при реализации сложных проектов. Данные из каналов ряда системы глобальных межсоединений поступают в систему локальных межсоединений и далее на входы логических блоков и блоков встроенной памяти.

Каждый ряд логических блоков и блоков встроенной памяти имеет свой набор горизонтальных каналов из ряда межсоединений. На входы логических

Ивл. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

блоков и блоков встроенной памяти сигналы приходят только с каналов рядов системы межсоединений.

Каждый логический элемент в логическом блоке имеет выход на два канала из ряда межсоединений. На каждый из этих каналов сигнал может заводиться с трёх каналов из колонки межсоединений. Такая организация выходного коммутатора позволяет осуществлять переход с каналов колонки межсоединений на каналы ряда.

Каждая колонка логических блоков и блоков встроенной памяти имеет свой набор вертикальных каналов из колонки межсоединений. Колонка, обслуживающая блок встроенной памяти имеет в два раза больше каналов, чем колонка, обслуживающая логический блок. Данные с каналов колонки системы глобальных межсоединений поступают на элементы ввода-вывода. Каждый логический элемент в логическом блоке имеет выход на два канала из колонки межсоединений. В пределах каждого логического блока можно осуществить переход с шести каналов из ряда на шесть каналов из колонки межсоединений (рисунок 12).

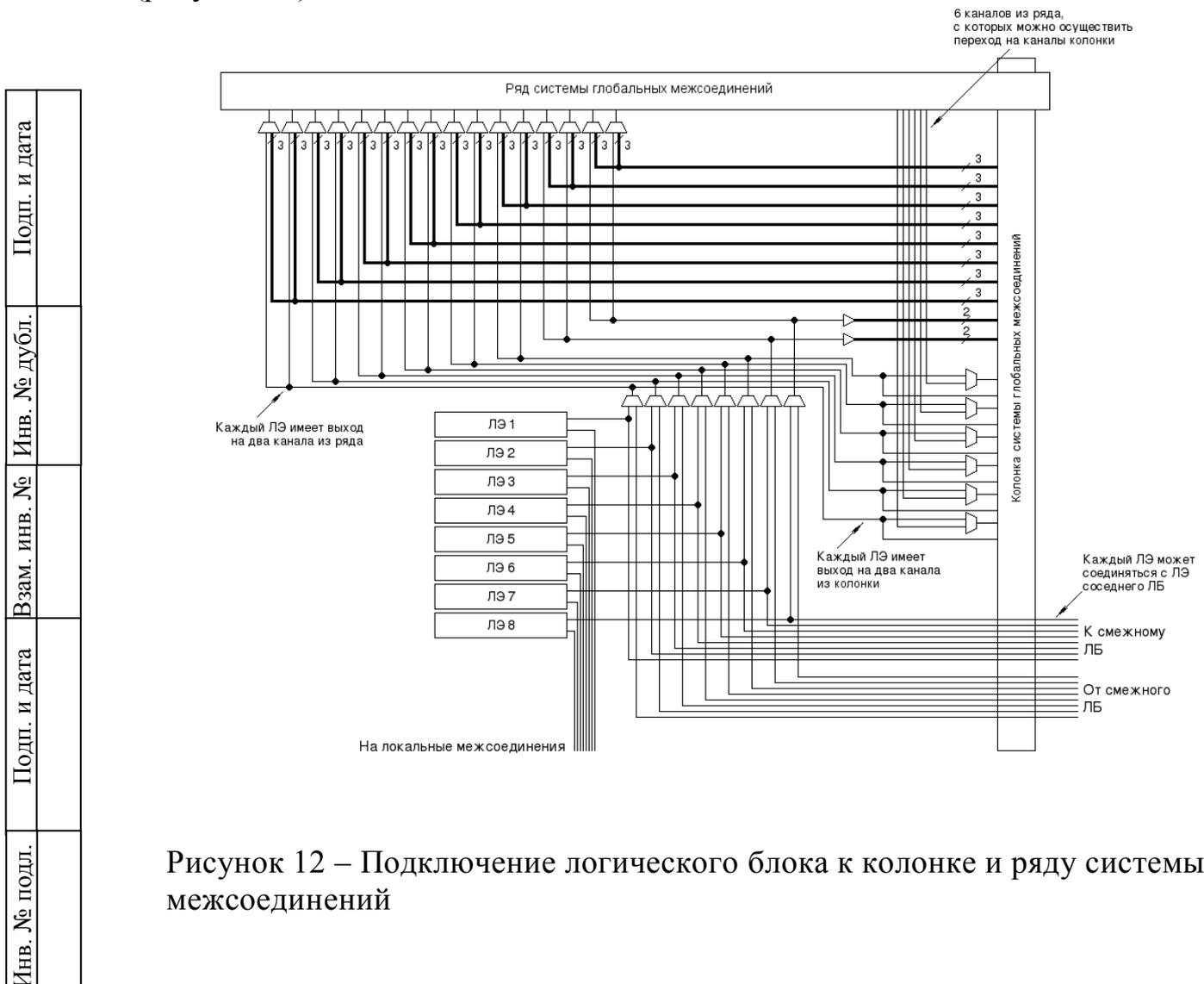


Рисунок 12 – Подключение логического блока к колонке и ряду системы межсоединений

Связь между логическими блоками и блоками встроенной памяти, расположенными в разных рядах, осуществляется посредством колонки межсоединений. В этом случае сигнал из колонки межсоединений должен быть перенесен в ряд межсоединений прежде, чем он поступит на вход логического блока и блока встроенной памяти.

Для оптимизации трассировки ряды межсоединений включают в себя каналы двух типов:

- каналы полной длины (Global Fast Track), которые обслуживают все логические блоки и блоки встроенной памяти в ряду;
- каналы половинной длины (Half Fast Track), которые в свою очередь делятся на каналы левой половины ряда (Left Half Fast Track) и каналы правой половины ряда (Right Half Fast Track). Каналы типа Left Half Fast Track обслуживают логические блоки и блоки встроенной памяти из левой половины ряда, а каналы типа Right Half Fast Track обслуживают логические блоки памяти из правой половины ряда. Выходы логических элементов могут быть скоммутированы как на каналы полной длины, так и на каналы половинной длины, поэтому соседние логические блоки могут быть соединены за счёт использования половины канала, при этом сохраняется другая половина канала для другой половины ряда. Выходы блоков встроенной памяти могут быть скоммутированы только на каналы с полной длиной.

Рисунок 13 показывает связь логических блоков с рядами и колонками межсоединений, а так же связь логических блоков по цепям каскадирования и переноса.

Логические блоки и логические элементы ПЛИС также связаны внутренними межсоединениями, к которым относятся:

- внутренние быстрые глобальные межсоединения (Fast Track Interconnect);
- специализированные цепи переноса, обеспечивающие поддержку арифметических функций, таких как быстродействующие сумматоры, счётчики и компараторы (используется автоматически программным обеспечением);
- специализированные цепи каскадирования, обеспечивающие поддержку высокоскоростных функций с высоким коэффициентом разветвления на входе (используется автоматически программным обеспечением).

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

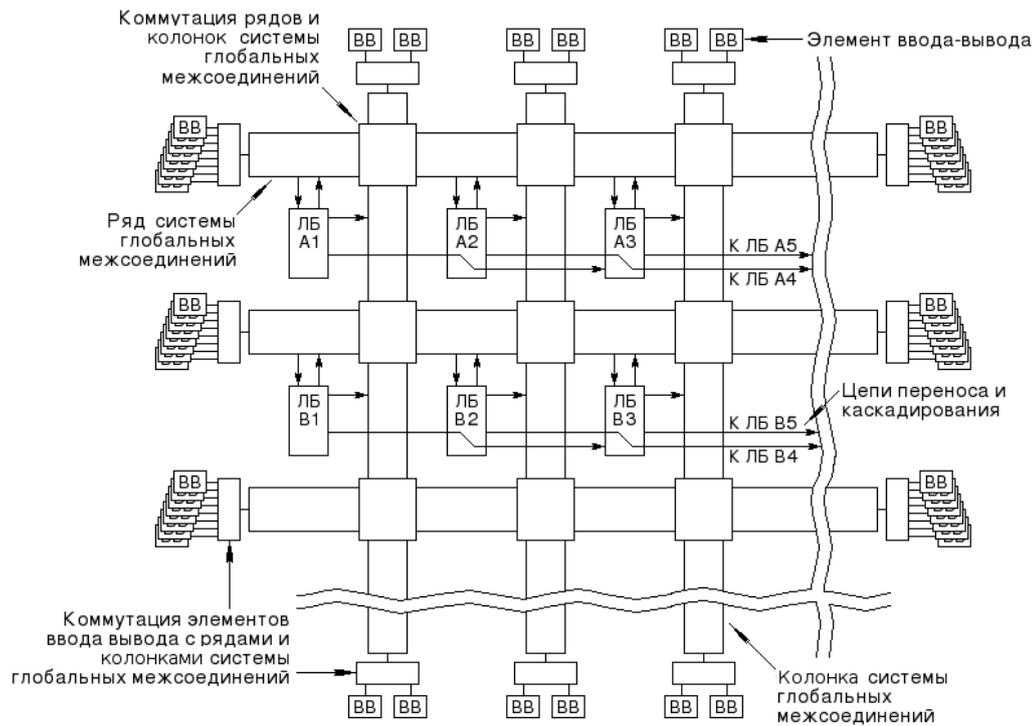


Рисунок 13 – Структура системы межсоединений

Кроме системы глобальных межсоединений ПЛИС имеет четыре выделенных входа и два глобальных тактовых входа, которые обеспечивают прохождение сигналов с малым разбросом (*skew*) по всему устройству. Эти шесть входов могут быть использованы для глобального тактирования, сброса, установки и управления третьим состоянием, а также в качестве входов данных для всех логических блоков, блоков встроенной памяти и элементов ввода-вывода.

4.5 Элемент ввода-вывода

Для согласования ПЛИС с внешними устройствами используются элементы ввода-вывода. Количество элементов ввода-вывода равно 16 – в каждом ряду и 4 – в каждой колонке.

ПЛИС имеет расширенную функциональность пользовательских элементов ввода-вывода, выделенных и глобальных тактовых входов:

- режим Pull-Up – включает программируемый нагрузочный резистор для установления и поддержки на выводах пользователя высокого логического уровня;

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

- режим Pull-Down – включает программируемый нагрузочный резистор для установления и поддержки на выводах пользователя низкого логического уровня;

- режим Bus-Hold – включает программируемую функцию удержания выводов пользователя в последнем состоянии.

Такие режимы работы элементов ввода-вывода, выделенных и глобальных тактовых входов позволяют исключить «плавающее» состояние на выводах микросхемы, которые находятся в Z-состоянии и предотвратить их непреднамеренное переключение в случае отсутствия сигнала на шине управления. Режимы Pull-Up, Pull-Down, Bus-Hold являются взаимоисключающими. Программирование расширенной функциональности элементов ввода-вывода ПЛИС проводится с помощью программного обеспечения «Инструментарий для программирования дополнительных режимов работы и расширенной функциональности элементов ввода/вывода ПЛИС 5578ТС034».

Элементы ввода-вывода ПЛИС имеют индивидуальный сигнал разрешения третьего состояния для каждого вывода, возможность использования опции «открытый сток» для каждого вывода, программируемую опцию slew-rate control для снижения помех при переключениях, программируемый триггер.

Схема элемента ввода-вывода приведена на рисунке 14. Он содержит двунаправленный буфер и триггер, который можно использовать как входной регистр для внешних данных с малым временем предустановки или как выходной регистр с малым временем задержки сигнала от тактового входа до выхода. Каждый элемент ввода-вывода может быть сконфигурирован как вход, выход или двунаправленный вход/выход.

Для сокращения времени удержания сигнала предусмотрено включение программируемой задержки. В случае необходимости сокращения времени предустановки программируемая задержка может быть отключена.

Элементы ввода-вывода обслуживаются высокоскоростной периферийной шиной управления. Эта шина состоит из 12 разрядов, которые можно разделить по функциональному назначению следующим образом:

- до восьми сигналов управления третьим состоянием;
- до шести сигналов разрешения тактового сигнала;
- до двух тактовых сигналов;
- до двух сигналов сброса.

При необходимости использования более восьми сигналов управления третьим состоянием или более шести сигналов разрешения тактового сигнала могут быть задействованы дополнительные сигналы, поступающие со специ-

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

ально предназначенных горизонтальных или вертикальных каналов системы глобальных межсоединений.

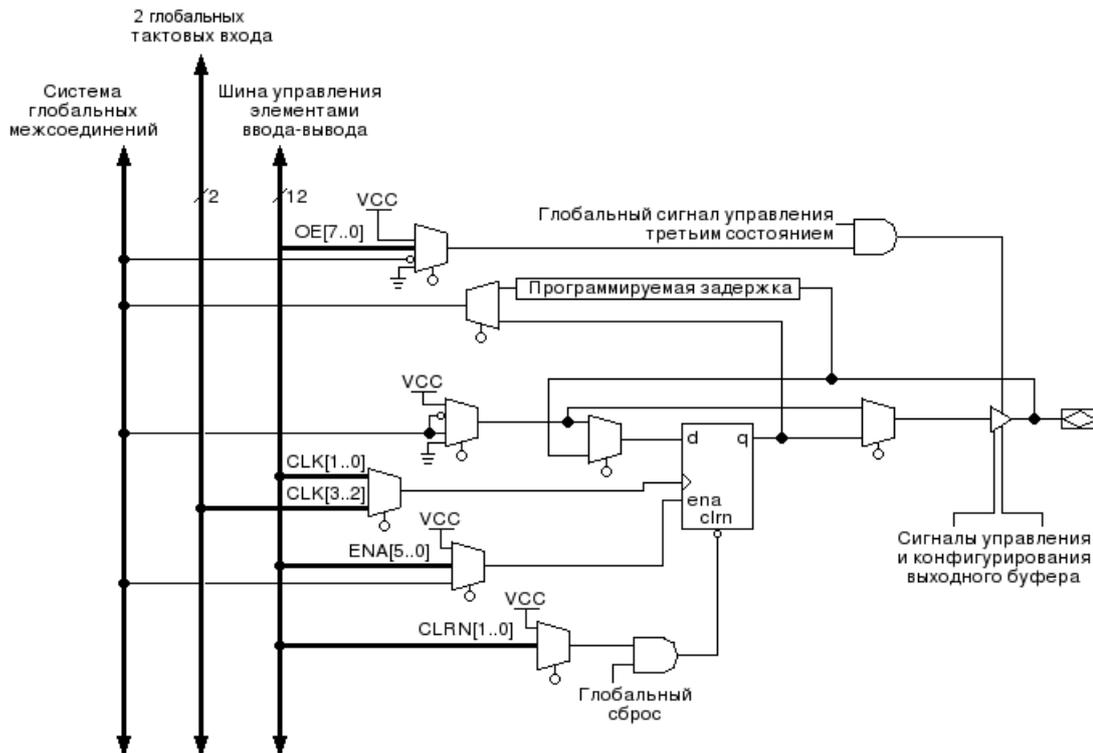


Рисунок 14 – Схема элемента ввода-вывода

В дополнение к двум тактовым сигналам, имеющимся в периферийной шине управления, каждый элемент ввода-вывода может управляться одним из двух глобальных тактовых входов.

На каждый разряд периферийной шины управления сигнал может поступать с любого из четырех выделенных входов или с любого из двух глобальных тактовых входов. Кроме того, на каждый разряд периферийной шины управления сигнал может поступать с первого логического элемента каждого логического блока через ряд межсоединений или с других логических элементов через колонку межсоединений.

Сигнал глобального сброса осуществляет сброс всех триггеров элементов ввода-вывода независимо от значения других сигналов управления.

В таблице 8 приведены периферийные сигналы управления и ряды, в которых они формируются.

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Таблица 8 – Формирование периферийных сигналов управления

Периферийный сигнал управления	Ряд, управляющий глобальным сигналом
OE0	A
OE1	C
OE2	E
OE3	L
OE4	I
OE5	K
ENA0/CLK0	F
ENA1/OE6	D
ENA2/CLRN0	B
ENA3/OE7	H
ENA4/CLRN1	J
ENA5/CLK1	G

4.5.1 Соединение элементов ввода-вывода с горизонтальными каналами

На рисунке 15 показана коммутация между элементами ввода-вывода и рядом межсоединений. Когда элемент ввода-вывода сконфигурирован как вход, то он может управлять двумя каналами ряда, которые доступны всем логическим элементам данного ряда. Когда элемент ввода-вывода сконфигурирован как выход, сигнал на вывод микросхемы поступает с одного из 39 каналов ряда. К каждому ряду межсоединений подключено по восемь элементов ввода-вывода с левой и правой сторон кристалла.

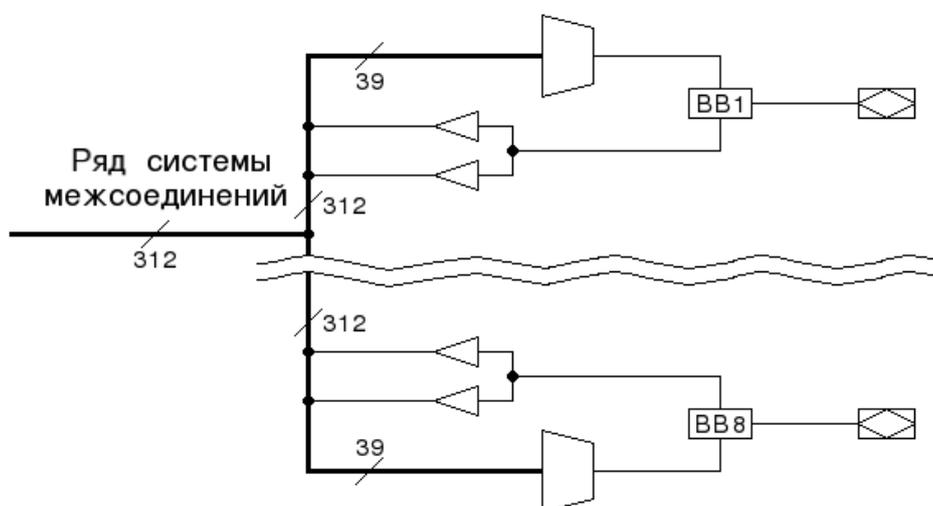


Рисунок 15 – Коммутация элементов ввода-вывода и ряда межсоединений

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

4.5.2 Соединение элементов ввода-вывода с вертикальными каналами

На рисунке 16 показано соединение между колонкой межсоединений и элементами ввода-вывода. К каждой колонке межсоединений подключено по два элемента ввода-вывода с верхней и нижней сторон кристалла. Когда элемент ввода-вывода сконфигурирован как вход, то он может управлять двумя каналами из колонки. Когда элемент ввода-вывода сконфигурирован как выход, сигнал на вывод микросхемы поступает с одного из 16 каналов колонки.

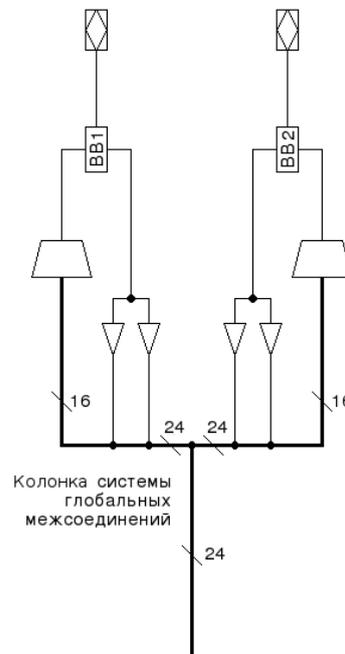


Рисунок 16 – Коммутация элементов ввода-вывода и колонки межсоединений

4.5.3 Контроль скорости нарастания выходного напряжения

Выходные буферы в каждом элементе ввода-вывода имеют регулируемую скорость изменения выходного напряжения. Возможна настройка выходного буфера под малошумящий или высокоскоростной режим работы. Понижение скорости изменения выходного напряжения уменьшает помехи по шинам питания и приводит к увеличению времени задержки. Большую скорость изменения выходного напряжения следует использовать для цепей в достаточной мере защищенных от помех.

4.5.4 Выход с открытым стоком

Любой пользовательский элемент ввода-вывода можно сконфигурировать как выход с открытым стоком (электрический эквивалент открытого коллектора). Наличие этой опции позволяет обеспечить получение сигналов кон-

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

троля системного уровня (такие как сигнал прерывания, сигнал разрешения записи), а также дает возможность реализации логической схемы типа монтажного «ИЛИ».

4.6 Блок JTAG

ПЛИС содержит встроенный блок JTAG, соответствующий стандарту IEEE Std 1149.1, который предназначен для многократного конфигурирования ПЛИС в режиме отладки проекта, однократного программирования конфигурационной памяти микросхемы, проведения периферийного сканирования и тестирования ПЛИС в составе системы.

Конструкция блока JTAG представлена на рисунке 17. Назначение управляющих выводов TDI, TDO, TMS, TCK приведено в таблице 9.

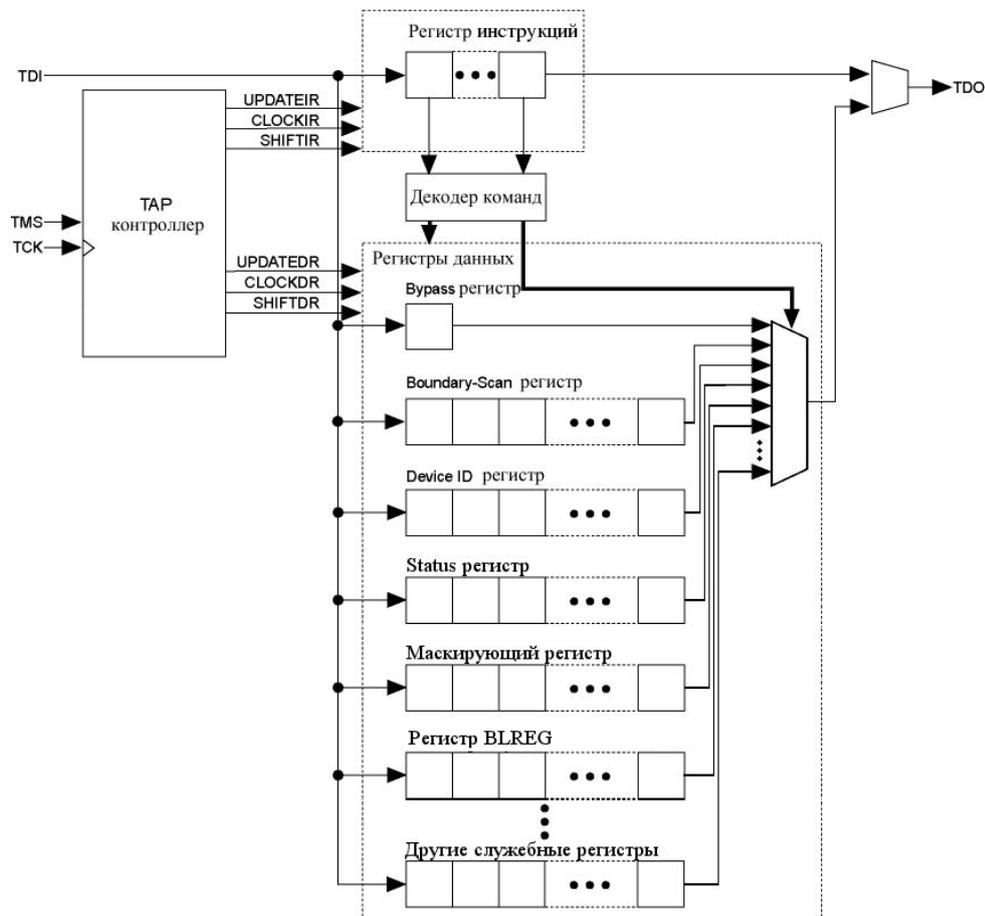


Рисунок 17 – Блок JTAG

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

Таблица 9 – Назначение и описание внешних выводов блока JTAG

Обозначение вывода	Функциональное назначение вывода	Описание
TDI	Вход данных JTAG	Последовательный вход данных. Данные захватываются по переднему фронту сигнала TCK
TDO	Выход данных JTAG	Последовательный выход. Данные выводятся по заднему фронту сигнала TCK. Если выход не используется, то он находится в Z-состоянии
TMS	Управление состоянием TAP контроллера JTAG	Вход сигнала, управляющего переходами автомата состояний TAP контроллера. Сигнал TMS должен быть установлен до срабатывания переднего фронта TCK
TCK	Тактовый вход JTAG	Вход тактового сигнала

Подробное описание временных параметров и инструкций блока JTAG представлено в инструкции по программированию ГПКФ.431263.002Д4.

4.7 Система периферийного сканирования

Система периферийного сканирования представляет собой последовательный сдвиговый регистр, вход которого подключен к выводу TDI, а выход подключен к TDO. На рисунке 18 представлена конструкция регистра периферийного сканирования (Boundary-Scan).

Ячейка Boundary-Scan регистра представлена на рисунке 19. Ячейки системы периферийного сканирования, каждая из которых содержит 3 бита, объединены в Boundary-Scan регистр. Длина Boundary-Scan регистра ПЛИС составляет 1 050 бит.

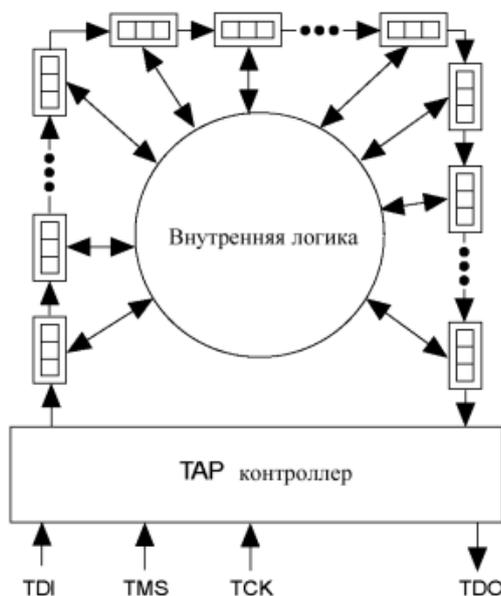


Рисунок 18 – Конструкция Boundary-Scan регистра

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

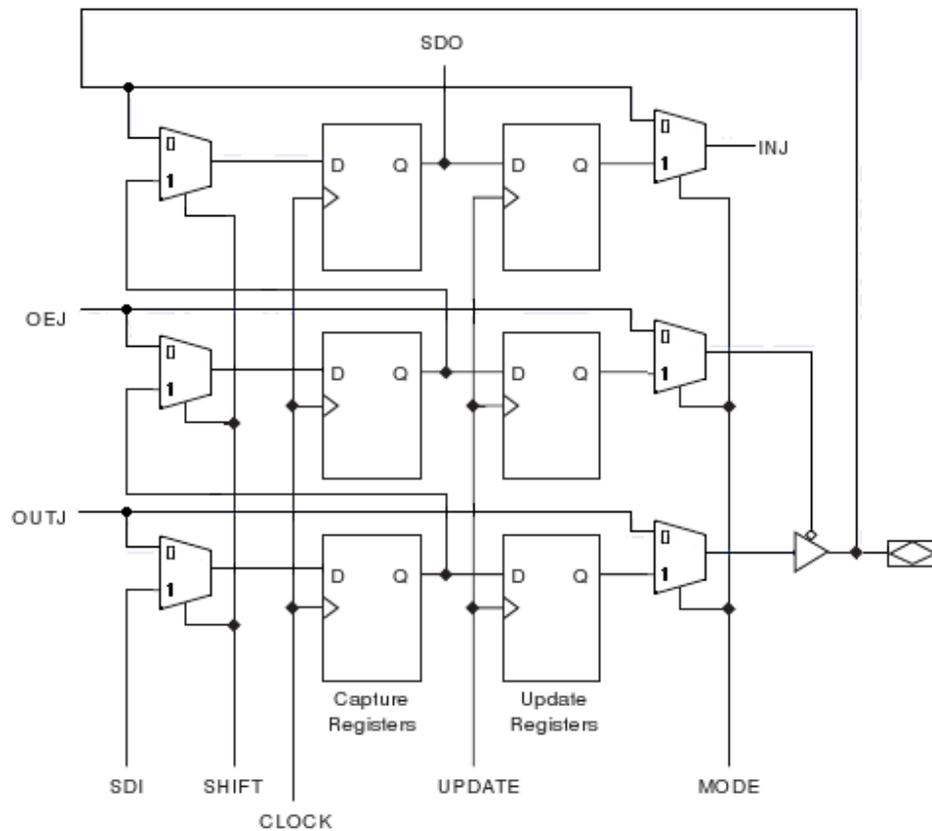


Рисунок 19 – Ячейка Boundary-Scan регистра

5 Расчет рассеиваемой мощности ПЛИС

Приведенный ниже расчет позволяет получить приблизительную оценку рассеиваемой мощности P_{tot} (Вт) конкретного проекта.

Рассеиваемую мощность P_{tot} , Вт, вычисляют по формуле

$$P_{tot} = P_{tot1} + P_{tot2}, \quad (1)$$

где P_{tot1} – рассеиваемая мощность ядра, Вт;

P_{tot2} – рассеиваемая мощность периферии, Вт.

Рассеиваемую мощность ядра P_{tot1} , Вт, вычисляют по формуле

$$P_{tot1} = (I_{CC1} + I_{OCC1}) \cdot U_{CC1}, \quad (2)$$

где I_{CC1} – ток потребления ядра, А;

I_{OCC1} – динамический ток потребления ядра, А;

U_{CC1} – напряжение питания ядра, В.

Динамический ток потребления ядра I_{OCC1} , А, вычисляют по формуле

$$I_{OCC1} = K \cdot f_C \cdot N_{LC} \cdot \log_{LC} \cdot 10^{-6}, \quad (3)$$

где K – коэффициент пропорциональности величины тока потребления от частоты, мкА/МГц. Данный коэффициент зависит от проекта (конфигурации логического элемента и нагрузки, подключенной к его выходу) и внешних условий (напряжения питания и температуры). Для типового проекта $K = 4,9$ мкА/МГц;

Инв. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

f_C – частота следования импульсов тактового сигнала, МГц, определяемая разработчиком аппаратуры;

N_{LC} – количество задействованных в данном проекте логических элементов;

tog_{LC} – средняя доля от задействованных в проекте логических элементов, переключающихся по каждому такту (типичное значение 0,125).

Рассеиваемую мощность периферии $P_{\text{tot}2}$, Вт, вычисляют по формуле

$$P_{\text{tot}2} = I_{CC2} \cdot U_{CC2} + \sum I_{OLi} \cdot U_{OLi} + \sum |I_{OHi}| \cdot (U_{CC2} - U_{OHi}) + I_{OCC2} \cdot U_{CC2}, \quad (4)$$

где I_{CC2} – ток потребления периферии, А;

I_{OLi} – ток нагрузки низкого уровня для i -го выхода, А;

U_{OLi} – выходное напряжение низкого уровня для i -го выхода, В;

I_{OHi} – ток нагрузки высокого уровня для i -го выхода, А;

U_{OHi} – выходное напряжение высокого уровня для i -го выхода, В;

I_{OCC2} – динамический ток потребления периферии, А;

U_{CC2} – напряжение питания периферии, В.

Динамический ток потребления периферии I_{OCC2} , А, вычисляют по формуле

$$I_{OCC2} = 0,5 \cdot C_L \cdot f_C \cdot N_{IO} \cdot \text{tog}_{IO} \cdot (U_{OH} - U_{OL}) \cdot 10^{-6}, \quad (5)$$

где C_L – средняя ёмкость нагрузки на выходе ПЛИС, пФ;

N_{IO} – количество задействованных в данном проекте элементов ввода-вывода;

tog_{IO} – средняя доля от задействованных в проекте элементов ввода-вывода, переключающихся по каждому такту (типичное значение 0,125).

Инд. № подл.	Подп. и дата	Взам. инв. №	Инв. № дубл.	Подп. и дата

